

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-97708

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl. <sup>6</sup>	識別記号	F I
H 0 1 L 29/786		H 0 1 L 29/78
27/08	3 3 1	27/08
21/336		29/78
		6 1 6 U
		3 3 1 E
		6 1 6 V
		6 1 7 K
		6 1 7 A

審査請求 未請求 請求項の数18 F D (全 15 頁) 最終頁に続く

(21) 出願番号	特願平9-278124	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成9年(1997) 9月24日	(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内
		(72) 発明者	小山 潤 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内
		(72) 発明者	福永 健司 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 簡易な製造工程によって、量産性が高く、且つ、信頼性及び再現性の高い半導体装置を提供する。

【解決手段】 結晶構造を有する半導体層で形成されたボトムゲイト型の半導体装置の構成において、ソース／ドレイン領域を、第1の導電層 (n<sup>+</sup> 層)、それより高抵抗な第2の導電層 (n<sup>-</sup> 層) 及び真性または実質的に真性な半導体層 (i 層) からなる積層構造で構成する。この時、n<sup>-</sup> 層はLDD領域として機能し、i 層は膜厚方向のオフセット領域として機能する。

## 【特許請求の範囲】

【請求項1】結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、前記半導体層は熔融結晶化膜に特有の粒界分布を示し、前記ソース領域及びドレイン領域は、ゲイト絶縁膜に向かって少なくとも第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有することを特徴とする半導体装置。

【請求項2】結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、前記半導体層は熔融結晶化膜に特有の粒界分布を示し、前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、前記第1の導電層から前記第2の導電層にかけて当該第1及び第2の導電層を構成する不純物の濃度プロファイルが連続的に変化していることを特徴とする半導体装置。

【請求項3】結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、前記半導体層は熔融結晶化膜に特有の粒界分布を示し、前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、前記第2の導電層は  $5 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$  の範囲内で連続的に変化する不純物によって形成されていることを特徴とする半導体装置。

【請求項4】結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、前記半導体層は熔融結晶化膜に特有の粒界分布を示し、前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、前記チャネル形成領域と前記第2の導電層との間には、膜厚の異なる二つのオフセット領域が存在することを特徴とする半導体装置。

【請求項5】結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、前記半導体層は熔融結晶化膜に特有の粒界分布を示し、前記ソース領域及びドレイン領域は、少なくともゲイト

絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、前記チャネル形成領域と前記第2の導電層との間には、前記チャネル形成領域よりも膜厚の厚いオフセット領域が存在することを特徴とする半導体装置。

【請求項6】絶縁表面を有する基板上に形成されたゲイト電極と、結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域と、前記ソース領域及びドレイン領域上のそれぞれに形成されたソース電極及びドレイン電極と、を有するボトムゲイト型の半導体装置であって、前記半導体層は熔融結晶化膜に特有の粒界分布を示し、前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、前記ソース電極及び／又はドレイン電極は前記ゲイト電極に、前記チャネル形成領域上でオーバーラップしていることを特徴とする半導体装置。

【請求項7】結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、前記半導体層は熔融結晶化膜に特有の粒界分布を示し、前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、前記チャネル形成領域と前記第1の導電層との間には、膜厚の異なる二つのオフセット領域と前記第2の導電層からなるHRD構造が存在することを特徴とする半導体装置。

【請求項8】請求項7において、前記膜厚の異なる二つのオフセット領域は、一方は前記チャネル形成領域と同一導電型かつ同一膜厚の半導体層からなる膜面方向のオフセットであり、他方は前記チャネル形成領域と同一導電型かつ前記チャネル形成領域よりも膜厚の厚い半導体層からなる膜厚方向のオフセットであることを特徴とする半導体装置。

【請求項9】請求項1乃至請求項7において、前記第1の導電層の膜厚は30～100nmであり、前記第2の導電層の膜厚は30～200 nmであり、前記チャネル形成領域と同一導電型の半導体層の膜厚は100～300 nmであり、前記チャネル形成領域の膜厚は10～100 nmであることを特徴とする半導体装置。

【請求項10】請求項9において、前記第1の導電層、前記第2の導電層、前記チャネル形成領域と同一導電型の半導体層の順に膜厚が厚くなっていることを特徴とする半導体装置。

【請求項11】請求項1乃至請求項7において、前記チャネル形成領域と同一導電型の半導体層は、前記第2の導電層の下に存在する真性または実質的に真性な半導体層（i層）であり、前記チャネル形成領域よりも膜厚が厚いことを特徴とする半導体装置。

【請求項12】請求項1乃至請求項7において、前記第1の導電層及び前記第2の導電層は13族及び／又は15族から選ばれた元素によって導電性を与えられた半導体層であることを特徴とする半導体装置。

【請求項13】請求項1乃至請求項7において、少なくとも前記チャネル形成領域にはしきい値電圧制御用の不純物が  $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$  の濃度で添加されていることを特徴とする半導体装置。

【請求項14】請求項1乃至請求項7において、前記チャネル形成領域及び当該チャネル形成領域と同一導電型の半導体層にしきい値電圧制御用の不純物が  $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$  の濃度で添加されていることを特徴とする半導体装置。

【請求項15】請求項13または請求項14において、前記しきい値電圧制御用の不純物とはボロン、インジウムまたはガリウムであることを特徴とする半導体装置。

【請求項16】絶縁表面を有する基板上にゲイト電極、ゲイト絶縁層、非晶質半導体膜を形成する工程と、前記非晶質半導体膜に対してレーザー光またはそれと同等の強度を持つ強光を照射することにより結晶化し、結晶構造を有する半導体膜を得る工程と、前記結晶構造を有する半導体膜に対してイオン注入法またはイオンドーピング法により13族及び／又は15族から選ばれた不純物を添加して、当該不純物を含む第1及び第2の導電層を形成する工程と、レーザー光またはそれと同等の強度を持つ強光を照射することにより前記不純物を活性化させる工程と、前記導電層上にソース電極及びドレイン電極を形成する工程と、前記ソース電極及びドレイン電極をマスクとして前記結晶構造を有する半導体膜をエッチングすることでチャネル形成領域を形成する工程と、を有し、前記不純物の濃度プロファイルでもって前記第1及び第2の導電層の厚さを制御することを特徴とする半導体装置の作製方法。

【請求項17】絶縁表面を有する基板上にゲイト電極、ゲイト絶縁層、非晶質半導体膜を形成する工程と、前記非晶質半導体膜に対してレーザー光またはそれと同等の強度を持つ強光を照射することにより結晶化し、結晶構造を有する半導体膜を得る工程と、前記結晶構造を有する半導体膜に対してイオン注入法またはイオンドーピング法により13族及び／又は15族から選ばれた不純物を添加して、当該不純物を含む第1及び第2の導電層を形成する工程と、

レーザー光またはそれと同等の強度を持つ強光を照射することにより前記不純物を活性化させる工程と、前記導電層上にソース電極及びドレイン電極を形成する工程と、

前記ソース電極及びドレイン電極をマスクとして前記結晶構造を有する半導体膜をエッチングすることでチャネル形成領域を形成する工程と、

前記ソース電極及びドレイン電極をマスクとしてしきい値電圧制御用の不純物を添加する工程と、

を有し、前記不純物の濃度プロファイルでもって前記第1及び第2の導電層の厚さを制御することを特徴とする半導体装置の作製方法。

【請求項18】請求項16または請求項17において、前記13族から選ばれた不純物とはボロン、インジウムまたはガリウムであり、前記15族から選ばれた不純物とはリン、砒素またはアンチモンであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本願発明は結晶構造を有する半導体薄膜を利用した半導体装置およびその作製方法に関する。特に、逆スタガ構造の薄膜トランジスタ（以下、TFTと略記する）の構成に関する。

【0002】

【従来の技術】従来より、アクティブマトリクス型液晶表示装置（以下、AMLCDと略記する）のスイッチング素子としてTFTが利用されている。現在では非晶質珪素膜（アモルファスシリコン膜）を活性層として利用したTFTで回路構成を行う製品が市場を占めている。特に、TFT構造としては製造工程の簡単な逆スタガ構造が多く採用されている。

【0003】しかし、年々AMLCDの高性能化が進み、TFTに求められる動作性能（特に動作速度）は厳しくなる傾向にある。そのため、非晶質珪素膜を用いたTFTの動作速度では十分な性能を有する素子を得ることが困難となった。

【0004】そこで、非晶質珪素膜に代わって多結晶珪素膜（ポリシリコン膜）を利用したTFTが脚光を浴び、多結晶珪素膜を活性層とするTFTの開発が著しい勢いで進んできている。現在では、その一部で製品化も行われている。

【0005】活性層として多結晶珪素膜を利用した逆スタガ型TFTの構造については既に多くの発表がなされている。例えば、「Fabrication of Low-Temperature Bottom-Gate Poly-Si TFTs on Large-Area Substrate by Linear-Beam Excimer Laser Crystallization and Ion Doping Method: H. Hayashi et. al., IEDM95, PP829-832, 1995」などの報告がある。

【0006】同報告書では多結晶珪素膜を利用した逆ス

タガ構造の典型的な例 (Fig.4) を説明しているが、この様な構造の逆スタガ構造 (いわゆるチャネルストップ型) では様々な問題も抱えている。

【0007】まず、活性層全体が50nm程度と極めて薄いのでチャネル形成領域とドレイン領域との接合部において衝突電離 (Impact Ionization) が発生し、ホットキャリア注入などの劣化現象が顕著に現れてしまう。そのため、大きなLDD領域 (Light Doped Drain region) を形成する必要性が生じる。

【0008】そして、このLDD領域の制御性が最も重大な問題となる。LDD領域は不純物濃度と領域の長さの制御が非常に微妙であり、特に長さ制御が問題となる。現状ではマスクパターンによってLDD領域の長さを規定する方式が採られているが、微細化が進めば僅かなパターンニング誤差が大きなTFT特性の差を生む。

【0009】活性層の膜厚のバラツキによるLDD領域のシート抵抗のバラツキも深刻な問題となる。さらに、ゲイト電極のテーパ角度等のバラツキもLDD領域の効果のバラツキを招く要因となりうる。

【0010】また、LDD領域を形成するためにはパターンニング工程が必要であり、それはそのまま製造工程の増加、スループットの低下を招く。上記報告書に記載された逆スタガ構造では最低でもマスク6枚 (ソース/ドレイン電極形成まで) が必要であると予想される。

【0011】以上の様に、チャネルストップ型の逆スタガ構造ではチャネル形成領域の両側に横方向の平面内でLDD領域を形成しなくてはならず、再現性のあるLDD領域を形成することは非常に困難である。

【0012】

【本発明が解決しようとする課題】本願発明では、非常に簡易な製造工程によって、量産性が高く、且つ、信頼性及び再現性の高い半導体装置を作製する技術を提供することを課題とする。

【0013】

【課題を解決するための手段】本明細書で開示する発明の構成は、結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、前記半導体層は溶融結晶化膜に特有の粒界分布を示し、前記ソース領域及びドレイン領域は、ゲイト絶縁膜に向かって少なくとも第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有することを特徴とする。

【0014】また、他の発明の構成は、結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、前記半導体層は溶融結晶化膜に特有の粒界分布を示し、前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形

成領域と同一導電型の半導体層からなる積層構造を有し、前記第1の導電層から前記第2の導電層にかけて当該第1及び第2の導電層を構成する不純物の濃度プロファイルが連続的に変化していることを特徴とする。

【0015】また、他の発明の構成は、結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、前記半導体層は溶融結晶化膜に特有の粒界分布を示し、前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、前記第2の導電層は  $5 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$  の範囲内で連続的に変化する不純物によって形成されていることを特徴とする。

【0016】また、他の発明の構成は、結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、前記半導体層は溶融結晶化膜に特有の粒界分布を示し、前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、前記チャネル形成領域と前記第2の導電層との間には、膜厚の異なる二つのオフセット領域が存在することを特徴とする。

【0017】また、他の発明の構成は、結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、前記半導体層は溶融結晶化膜に特有の粒界分布を示し、前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、前記チャネル形成領域と前記第2の導電層との間には、前記チャネル形成領域よりも膜厚の厚いオフセット領域が存在することを特徴とする。

【0018】また、他の発明の構成は、絶縁表面を有する基板上に形成されたゲイト電極と、結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域と、前記ソース領域及びドレイン領域上のそれぞれに形成されたソース電極及びドレイン電極と、を有するボトムゲイト型の半導体装置であって、前記半導体層は溶融結晶化膜に特有の粒界分布を示し、前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、前記ソース電極及び/又はドレイン電極は前記ゲイト電極に、前記チャネル形成領域上でオーバーラップしていることを特

微とする。

【0019】また、他の発明の構成は、結晶構造を有する半導体層で構成されたソース領域、ドレイン領域及びチャネル形成領域を有するボトムゲイト型の半導体装置であって、前記半導体層は溶融結晶化膜に特有の粒界分布を示し、前記ソース領域及びドレイン領域は、少なくともゲイト絶縁膜に向かって第1の導電層、当該第1の導電層よりも高抵抗な第2の導電層及び前記チャネル形成領域と同一導電型の半導体層からなる積層構造を有し、前記チャネル形成領域と前記第1の導電層との間には、膜厚の異なる二つのオフセット領域と前記第2の導電層からなるHRD構造が存在することを特徴とする。

【0020】なお、前記膜厚の異なる二つのオフセット領域は、一方は前記チャネル形成領域と同一導電型かつ同一膜厚の半導体層からなる膜面方向のオフセットであり、他方は前記チャネルと同一導電型かつ前記チャネル形成領域よりも膜厚の厚い半導体層からなる膜厚方向のオフセットであることを特徴とする。

【0021】また、作製方法に関する他の発明の構成は、絶縁表面を有する基板上にゲイト電極、ゲイト絶縁層、非晶質半導体膜を形成する工程と、前記非晶質半導体膜に対してレーザー光またはそれと同等の強度を持つ強光を照射することにより結晶化し、結晶構造を有する半導体膜を得る工程と、前記結晶構造を有する半導体膜に対してイオン注入法またはイオンドーピング法により13族及び／又は15族から選ばれた不純物を添加して、当該不純物を含む第1及び第2の導電層を形成する工程と、レーザー光またはそれと同等の強度を持つ強光を照射することにより前記不純物を活性化させる工程と、前記導電層上にソース電極及びドレイン電極を形成する工程と、前記ソース電極及びドレイン電極をマスクとして前記結晶構造を有する半導体膜をエッチングすることでチャネル形成領域を形成する工程と、を有し、前記不純物の濃度プロファイルでもって前記第1及び第2の導電層の厚さを制御することを特徴とする。

【0022】また、他の発明の構成は、絶縁表面を有する基板上にゲイト電極、ゲイト絶縁層、非晶質半導体膜を形成する工程と、前記非晶質半導体膜に対してレーザー光またはそれと同等の強度を持つ強光を照射することにより結晶化し、結晶構造を有する半導体膜を得る工程と、前記結晶構造を有する半導体膜に対してイオン注入法またはイオンドーピング法により13族及び／又は15族から選ばれた不純物を添加して、当該不純物を含む第1及び第2の導電層を形成する工程と、レーザー光またはそれと同等の強度を持つ強光を照射することにより前記不純物を活性化させる工程と、前記導電層上にソース電極及びドレイン電極を形成する工程と、前記ソース電極及びドレイン電極をマスクとして前記結晶構造を有する半導体膜をエッチングすることでチャネル形成領域を形成する工程と、前記ソース電極及びドレイン電極を

マスクとしてしきい値電圧制御用の不純物を添加する工程と、を有し、前記不純物の濃度プロファイルでもって前記第1及び第2の導電層の厚さを制御することを特徴とする。

【0023】

【発明の実施の形態】以上の構成からなる本願発明の実施の形態について、以下に記載する実施例でもって詳細な説明を行うこととする。

【0024】

【実施例】

〔実施例1〕本願発明の代表的な実施例について、図1～3を用いて説明する。まず、図1を用いて本願発明の半導体装置の作製方法を説明する。

【0025】まず、絶縁表面を有する基板の準備としてガラス基板101上に珪素を主成分とする絶縁膜でなる下地膜102を形成する。その上に導電性膜でなるゲイト電極（第1配線）103を形成する。

【0026】ゲイト電極103の線幅は1～10 $\mu$ m（代表的には3～5 $\mu$ m）とする。また、膜厚は200～500nm（代表的には250～300nm）とする。本実施例では250nm厚のアルミニウム膜（2wt%のスカンジウムを含有）を用いて線幅3 $\mu$ mのゲイト電極を形成する。

【0027】なお、ゲイト電極103としてはアルミニウム以外にも、タンタル、タングステン、チタン、クロム、モリブデン、導電性シリコン、金属シリサイドまたはそれらの積層膜等を用いることができる。ここで1回目のパターニング工程（ゲイト電極形成）が行われる。

【0028】ここで、ゲイト電極103に対して陽極酸化を行い、ゲイト電極を保護する陽極酸化膜104を50～200nm（典型的には100～150nm）形成する。本実施例では3%の酒石酸を含むエチレングリコール溶液（アンモニアで中性に中和する）中で印加電圧80V、化成電流5～6mAの条件で形成する。こうして100nm程度の厚さに形成することができる。

【0029】次に、窒化珪素膜105（膜厚は0～200nm、代表的には25～100nm、好ましくは50nm）、SiO<sub>x</sub>N<sub>y</sub>で示される酸化窒化珪素膜又は酸化珪素膜（膜厚は150～300nm、代表的には200nm）106からなるゲイト絶縁層を形成する。

【0030】なお、本実施例の場合、ゲイト絶縁層には陽極酸化膜104も含まれる。また、ゲイト絶縁層として酸化珪素膜を用いることもできる。

【0031】ゲイト絶縁層を形成したら、その上に珪素を主成分とする非晶質半導体膜107を形成する。本実施例では非晶質珪素膜を例とするが他の化合物半導体膜（ゲルマニウムを含有する非晶質珪素膜等）を用いても良い。

【0032】また、本願発明はチャネルエッチ型のボトムゲイト構造であるので、非晶質珪素膜107の膜厚は厚く形成しておく。膜厚範囲は100～600nm（典型的に

は200~300 nm、好ましくは250 nm)とする。本実施例では200 nmとする。また、後述するが、最適な膜厚は本願発明のTFTにどのようなオフセット領域、LDD領域を設けるかによって適宜決定する必要がある。

【0033】なお、本実施例では減圧熱CVD法により非晶質珪素膜107を成膜するが、成膜の際に炭素、酸素、窒素といった不純物の濃度を徹底的に管理することが望ましい。これらの不純物が多いと後に結晶性半導体膜の結晶性の均一性を崩す恐れがある。

【0034】本実施例では成膜した非晶質珪素膜中における各不純物の濃度が、炭素及び窒素が $5 \times 10^{18}$  atoms/cm<sup>3</sup> 未満(代表的には $5 \times 10^{17}$  atoms/cm<sup>3</sup> 以下)、酸素が $1.5 \times 10^{19}$  atoms/cm<sup>3</sup> 未満(代表的には $1 \times 10^{18}$  atoms/cm<sup>3</sup> 以下)となる様に制御する。この様な管理を行っておけば最終的にTFTのチャネル形成領域中に含まれる不純物濃度は上記範囲内に収まる。

【0035】こうして図1(A)の状態が得られる。図1(A)の状態が得られたら、レーザー光の照射により非晶質珪素膜107の結晶化を行う。(図1(B))

【0036】レーザー光としては、励起ガスとしてKrF(248 nm)、XeCl(308 nm)、ArF(193 nm)等を用いたパルス発振型エキシマレーザーを用いれば良い。また、Nd:YAGレーザーの高調波など他のあらゆるレーザー光を用いることができる。

【0037】なお、本実施例の様に結晶化しようとする非晶質半導体膜の膜厚が厚い場合、波長の長いレーザー光を用いた方が全体を均一に結晶化しやすい。また、レーザー光を照射する際に、基板を50~500℃程度の範囲で補助的に加熱する方法も有効である。また、レーザー光の波長周期を鑑みて光吸収効率が高まる様な膜厚に調節しておくことも有効である。

【0038】本実施例ではパルス発振型のXeClエキシマレーザー光を光学系によって線状に加工した後、基板の一端から他端に向かって走査することで非晶質珪素膜全面に対してレーザーアニールを行う。

【0039】なお、発振周波数は30MHz、走査速度は2.4mm/s、レーザーエネルギーは300~400mJ/cm<sup>2</sup>とし、基板を裏面側から400℃に加熱して処理する。こうして、結晶性半導体膜(本実施例では結晶性珪素膜)108を得る。

【0040】また、非晶質珪素膜とガラス基板とで熱吸収率が異なるため、膜の上面側から照射すれば非晶質珪素膜の温度を集中的に上げることが可能である。そのため、ガラス基板の耐熱温度(650℃付近)以上の温度で非晶質珪素膜を加熱することが可能である。

【0041】ところで、本実施例の様にレーザー光の照射により結晶化した半導体膜(本明細書中では熔融結晶化膜と呼ぶ)はレーザー結晶化に特有の粒界分布(結晶粒界の存在分布)を有する。セコエッチングと呼ばれる公知の技術によって粒界を顕著化して観察すると、結晶

粒と粒界とが明確に判別でき、数十~数百nmの粒径を持つ結晶粒の集合体であることが判る。

【0042】一方、他の結晶化手段を用いた半導体膜は熔融結晶化膜とは明らかに異なる粒界分布を示す。なぜならばレーザー光(またはそれと同等の強度を持つ強光)を用いた結晶化では一旦半導体層が熔融するが、他の手段は基本的に固相成長であり、結晶化機構が異なるからである。

【0043】さて次に、15族から選ばれた元素(代表的にはリン、砒素またはアンチモン)をイオン注入法(質量分離あり)またはイオンドーピング法(質量分離なし)により添加する。本実施例では結晶性珪素膜108の表面から深さ30~100nm(代表的には30~50nm)の範囲において、リン濃度が $1 \times 10^{19}$  ~  $1 \times 10^{21}$  atoms/cm<sup>3</sup>(代表的には $1 \times 10^{20}$  atoms/cm<sup>3</sup>)となる様に調節する。

【0044】本実施例ではこの様にして形成された高濃度のリンを含む領域109をn<sup>+</sup>層(または第1の導電層)と呼ぶ。この層の厚さは30~100nm(代表的には30~50nm)の範囲で決定する。この場合、n<sup>+</sup>層109は後にソース/ドレイン電極の一部として機能する。本実施例では30nm厚のn<sup>+</sup>層を形成する。

【0045】また、n<sup>+</sup>層109の下に形成される低濃度のリンを含む領域110をn<sup>-</sup>層(または第2の導電層)と呼ぶ。この場合、n<sup>-</sup>層110はn<sup>+</sup>層109よりも高抵抗となり、後に電界緩和のためのLDD領域として機能する。本実施例では30nm厚のn<sup>-</sup>層を形成する。(図1(C))

【0046】また、この時、リンを添加する際の深さ方向の濃度プロファイルが非常に重要である。この事について図4を用いて説明する。なお、図4に示す濃度プロファイルは加速電圧を80keV、RF電力を20Wとしてイオンドーピング法によりフォスフィン(PH<sub>3</sub>)を添加した場合の例である。

【0047】図4において、401は結晶性珪素膜、402は添加されたリンの濃度プロファイルを示している。この濃度プロファイルはRF電力、添加イオン種、加速電圧等の設定条件によって決定される。

【0048】この時、濃度プロファイル402のピーク値はn<sup>+</sup>層403内部又は界面近傍にあり、結晶性珪素膜401の深くにいく程(ゲイト絶縁膜に向かうほど)、リン濃度は低下する。この時、リン濃度は膜内部全域に渡って連続的に変化するためn<sup>+</sup>層403の下には必ずn<sup>-</sup>層404が形成される。

【0049】そして、このn<sup>-</sup>層404の内部においてもリン濃度は連続的に低下していく。本実施例では、リン濃度が $1 \times 10^{19}$  atoms/cm<sup>3</sup>を超える領域をn<sup>+</sup>層403として考え、 $5 \times 10^{17}$  ~  $1 \times 10^{19}$  atoms/cm<sup>3</sup>の濃度範囲にある領域をn<sup>-</sup>層404として考えている。ただし、明確な境界は存在しないため、目安として考えてい

る程度である。

【0050】また、リン濃度が極端に低下した領域及びそのさらに下層は真性または実質的に真性な領域（i層）405となる。なお、真性な領域とは意図的に不純物が添加されない領域を言う。また、実質的に真性な領域とは、不純物濃度（ここではリン濃度）が珪素膜のスピン密度以下である領域又は不純物濃度が  $1 \times 10^{14} \sim 1 \times 10^{17} \text{ atoms/cm}^3$  の範囲で一導電性を示す領域を指す。

【0051】この様な真性または実質的に真性な領域は  $n^-$  層404の下に形成される。ただし、i層405は基本的にチャンネル形成領域と同一導電型の半導体層から構成される。即ち、チャンネル形成領域が弱いn型又はp型を示す様な場合には、同様の導電型を示す。

【0052】この様に、 $n^+$  層の形成にイオン注入法またはイオンドーピング法を用いることにより  $n^+$  層の下に  $n^-$  層を形成することができる。従来の様に  $n^+$  層を成膜で設けた場合にはこの様な構成は実現できない。また、イオン添加時の条件を適切に設定することで  $n^+$  層と  $n^-$  層の厚さ制御を容易に行うことができる。

【0053】特に、 $n^-$  層110の厚さは後にLDD領域の厚さとなるため、非常に精密な制御が必要である。イオンドーピング法等では添加条件の設定によって深さ方向の濃度プロファイルが精密に制御できるので、LDD領域の厚さ制御が容易に行える。本願発明では  $n^-$  層110の厚さを30~200 nm（代表的には50~150 nm）の範囲で調節すれば良い。

【0054】こうして  $n^+$  層109、 $n^-$  層110を形成したら、再びレーザー光の照射を行い、添加した不純物（リン）の活性化を行う。（図1（D））

【0055】なお、レーザーアニール以外にランプアニール（強光の照射）、ファーンেসアニール（電熱炉による加熱）を行うこともできる。ただし、ファーンেসアニールの場合にはガラス基板の耐熱性を考慮して処理を行う必要がある。

【0056】本実施例ではXeClエキシマレーザーを用いてレーザーアニールを行う。処理条件は基本的に上述の結晶化工程と同一で良いが、レーザーエネルギーは  $200 \sim 350 \text{ mJ/cm}^2$ （代表的には  $250 \sim 300 \text{ mJ/cm}^2$ ）で良い。また、基板は裏面側から300℃に加熱して活性化率の向上を図る。

【0057】また、このレーザー活性化工程では結晶性珪素膜108がリンの添加工程に受けたダメージを回復することができる。そして、添加時のイオン衝突により非晶質化した領域を再結晶化することができる。

【0058】こうしてリンの活性化工程が終了したら、結晶性珪素膜のパターニングを行い、島状半導体層111を形成する。この時、最終的にTFTが完成した時にキャリアの移動方向に対して垂直な方向の長さ（チャンネル幅（W））が  $1 \sim 30 \mu\text{m}$ （代表的には  $10 \sim 20 \mu\text{m}$ ）となる様に調節する。ここで2回目のパターニング工程が

行われる。（図2（A））

【0059】ここで図面上には図示されないが、露出したゲイト絶縁層の一部をエッチングし、ゲイト電極（第1配線）と次に形成する電極（第2配線）との電気的接続をとるためのコンタクトホール（図2（C）の118で示される領域）を開口する。ここで3回目のパターニング工程が行われる。

【0060】次に、導電性を有する金属膜（図示せず）を成膜し、パターニングによりソース電極112、ドレイン電極113を形成する。本実施例ではTi（50nm）/Al（200~300 nm）/Ti（50nm）の3層構造からなる積層膜を用いる。また、上述の様にゲイト電極と電気的に接続するための配線も同時に形成されている。ここで4回目のパターニング工程が行われる。（図2（B））

【0061】また、後述するが、ゲイト電極103の真上の領域、即ちソース電極112とドレイン電極113とで挟まれた領域（以下、チャンネルエッチ領域と呼ぶ）114の長さ（ $C_1$ で示される）が後にチャンネル形成領域とオフセット領域の長さを決定する。 $C_1$ は2~20  $\mu\text{m}$ （代表的には5~10  $\mu\text{m}$ ）の範囲から選べるが、本実施例では  $C_1 = 4 \mu\text{m}$ とする。

【0062】次に、ソース電極112及びドレイン電極113をマスクとしてドライエッチングを行い、自己整合的に島状半導体層111をエッチングする。そのため、チャンネルエッチ領域114のみでエッチングが進行する。（図2（C））

【0063】この時、 $n^+$  層109は完全にエッチングされ、真性または実質的に真性な領域（i層）のみが残された形でエッチングを止める。本願発明では最終的に10~100 nm（代表的には10~75nm、好ましくは15~45nm）の半導体層のみを残す。本実施例では30nm厚の半導体層を残すことにする。

【0064】こうして島状半導体層111のエッチング（チャンネルエッチ工程）が終了したら、保護膜115として酸化珪素膜または窒化珪素膜を形成して、図2（C）に示す様な構造の逆スタガ型TFTを得る。

【0065】この状態において、チャンネルエッチされた島状半導体層111のうち、ゲイト電極112の真上に位置する領域はチャンネル形成領域116となる。本実施例の構成ではゲイト電極幅がチャンネル形成領域の長さに対応し、 $L_1$ で示される長さをチャンネル長と呼ぶ。また、ゲイト電極113の端部よりも外側に位置する領域117は、ゲイト電極103からの電界が及ばず、オフセット領域となる。この長さは $X_1$ で示される。

【0066】本実施例の場合、ゲイト電極103の線幅（ $L_1$ に相当する）が100 nm厚の陽極酸化膜分の減りを考慮すると約2.8  $\mu\text{m}$ であり、チャンネルエッチ領域114の長さ（ $C_1$ ）が4  $\mu\text{m}$ であるので、オフセット領域の長さ（ $X_1$ ）は約0.6  $\mu\text{m}$ となる。

【0067】ここで、ドレイン領域（ドレイン電極113と接する半導体層）を拡大したものを図3に示す。図3において、103はゲイト電極、301はチャネル形成領域、302は $n^+$ 層（ソースまたはドレイン電極）、303、304は膜厚の異なるオフセット領域、305は $n^-$ 層（LDD領域）である。

【0068】なお、ここでは説明しないがソース領域（ソース電極112と接する半導体層）も同様の構造を有している。

【0069】また、図3に示す構造は模式的に記されているが、各領域の膜厚関係には注意が必要である。本願発明を構成するにあたって最も好ましい構成は、膜厚の厚さが $n^+$ 層302< $n^-$ 層305<オフセット領域（i層）304の関係にある場合である。

【0070】なぜならば $n^+$ 層302は電極として機能するだけなので薄くで十分である。一方、 $n^-$ 層305及びオフセット領域304は電界緩和を効果的に行うために適切な厚さが必要である。

【0071】本実施例の構成では、チャネル形成領域301から $n^+$ 領域302に至るまでに膜厚の異なる二つのオフセット領域303、304及びLDD領域305が存在する。なお、303はマスク合わせにより形成される膜面方向のオフセット領域であり、マスクオフセット領域と呼ぶ。

【0072】また、304はi層の膜厚分に相当する膜厚方向のオフセット領域であり、厚さオフセット領域と呼ぶ。厚さオフセット領域304の厚さは100～300nm（代表的には150～200nm）の範囲で決定すれば良い。ただし、チャネル形成領域の膜厚よりも膜厚が厚くする必要がある。チャネル形成領域よりも膜厚が薄いと良好なオフセット効果を望めない。

【0073】この様なオフセット+LDDからなる構造を本発明者らはHRD（High Resistance Drain）構造と呼び、通常のLDD構造とは区別して考えている。本実施例の場合、HRD構造はマスクオフセット+厚さオフセット+LDDの3段構造で構成されることになる。

【0074】この時、LDD領域303はLDD領域の膜厚及び不純物濃度によって制御されるため、非常に再現性が高く、特性バラツキが小さいという利点を有する。パターンニングによって形成されたLDD領域ではパターンニング誤差による特性バラツキが問題となることは従来例で述べた通りである。

【0075】なお、マスクオフセット領域303の長さ（ $X_1$ ）はパターンニングによって制御されるため、パターンニングやガラスの縮み等による誤差の影響を受ける。しかしながら、その後に厚さオフセット領域304とLDD領域305とが存在するので誤差による影響は緩和され、特性バラツキを小さくすることができる。

【0076】なお、マスクオフセットの長さ（ $X_1$ ）はチャネル長（ $L_1$ ）とチャネルエッチ領域の長さ（ $C_1$ ）を用いて（ $C_1 - L_1$ ）／2で表される。従って、

ソース／ドレイン電極形成時のパターンニング工程によって所望のオフセット長（ $X_1$ ）を設定することが可能である。本実施例の構成ではオフセット長（ $X_1$ ）は0.3～3 $\mu$ m（代表的には1～2 $\mu$ m）とすることができ

る。

【0077】なお、図2（C）に示す様な構造の逆スタガ型TFETは、従来の非晶質珪素膜を活性層（島状半導体層）として利用したTFETでは実現できない。なぜならば、非晶質珪素膜を用いる場合、ソース／ドレイン電極とゲイト電極とがオーバーラップする様な構造にしないとキャリア（電子または正孔）の移動度が極めて遅くなってしまうからである。

【0078】ソース／ドレイン電極とゲイト電極とがオーバーラップする様な構造にしたとしても非晶質珪素膜を用いたTFETのモビリティ（電界効果移動度）はせいぜい1～10 $\text{cm}^2/\text{Vs}$ 程度である。それに対して本実施例の様な構造を採用してしまえばモビリティが低すぎてスイッチング素子として機能しない。

【0079】ところが、本願発明では活性層として結晶性珪素膜を利用しているのでキャリア移動度が十分に速い。従って、本実施例の様な構造としても十分なモビリティを得ることが可能である。即ち、本実施例の構造は半導体層として結晶構造を有する半導体膜を用いたからこそ実現できるのである。

【0080】また、本実施例の逆スタガ型TFETは、HRD構造を有しているので衝突電離によるホットキャリア注入などの劣化現象に対して非常に強く、高い信頼性を有している。しかも、LDD領域の効果が支配的な上、そのLDD領域が非常に制御性よく形成されているので特性バラツキが非常に小さい。

【0081】そのため、本実施例の様な構造は高耐圧を必要とし、高い動作速度はそれほど必要としない様な回路を構成するTFETに好適である。

【0082】また、本実施例の作製工程に示した様に、図2（C）に示した構造の逆スタガ型TFETを得るのに4枚のマスクしか必要としていない。これは従来のチャネルストップ型TFETが6枚マスクを必要としていた事を考えると、スループット及び歩留りが飛躍的に向上することを意味している。

【0083】以上の様に、本実施例の構成によれば量産性の高い作製工程によって、高い信頼性と再現性を有するボトムゲイト型TFETを作製することが可能である。

【0084】なお、本実施例の作製工程に従って作製したボトムゲイト型TFET（Nチャネル型TFET）のモビリティは10～150 $\text{cm}^2/\text{Vs}$ （代表的には60～120 $\text{cm}^2/\text{Vs}$ ）、しきい値電圧は1～4Vを実現しうる。

【0085】〔実施例2〕本実施例では本願発明の構成において、実施例1とは異なる構成例を示す。TFETの作製工程は基本的には実施例1に従えば良いので、本実



施例では必要な部分のみを説明することにする。

【0086】まず、実施例1の作製工程に従って図5(A)の状態を得る。ここで実施例1と異なる点は、ソース電極501、ドレイン電極502を形成する際にチャネルエッチ領域500の長さを $C_2$ とする点にある。この時、 $C_2$ はゲイト電極幅よりも狭く、 $2\sim 9\mu\text{m}$ (代表的には $2\sim 4\mu\text{m}$ )の範囲で選ばれる。即ち、ゲイト電極とソース/ドレイン電極とがオーバーラップする様に設けることが本実施例の特徴となる。

【0087】この状態で実施例1に示した様にチャネルエッチ工程を行い、保護膜を設けると図5(B)の状態を得る。この時、503で示される領域がチャネル形成領域となり、そのチャネル長は $L_2$ ( $=C_2$ )で表される。また、マスク設計によりオーバーラップさせた領域(マスクオーバーラップ領域と呼ぶ)504の長さ( $Y_2$ )はゲイト電極幅をEとすると、 $(E-L_2)/2$ で表される。

【0088】図5(C)はドレイン領域の拡大図であるが、TFT動作時のキャリアは、チャネル形成領域503(厚さ50nm)、マスクオーバーラップ領域504(厚さ160nm)、LDD領域505(厚さ50nm)を通して $n^+$ 層506(厚さ40nm)、ドレイン電極502へと到達する。

【0089】なお、この場合、マスクオーバーラップ領域504にもゲイト電極からの電界が形成されるが、LDD領域505に近づくにつれて電界は弱まるので、その様な領域は実質的にLDD領域と同様の機能を持つ。勿論、さらにLDD領域505に近づけば完全に電界が形成されなくなり、オフセット(厚さオフセット)領域としても機能しうる。

【0090】この様に本実施例の構造ではHRD構造が、オーバーラップによる実質的なLDD+厚さオフセット+低濃度不純物によるLDDで構成される。また、オーバーラップ領域504の膜厚が薄い場合には、オーバーラップによる実質的なLDD+低濃度不純物によるLDDのみからなるLDD構造もとらう。

【0091】本実施例の構成においても、オーバーラップ領域504、LDD領域505がそれぞれの膜厚で制御されるので非常に特性バラツキが小さい。また、オーバーラップ領域の長さ( $Y_2$ )はパターンニング等による誤差を含むが、オーバーラップによるLDD、厚さ方向のオフセット及び低濃度不純物によるLDDはその様な誤差の影響を受けないので $Y_2$ の誤差による特性バラツキは緩和される。

【0092】なお、本実施例の様な構造はオフセット成分が少なく、高い動作速度を必要とする様な回路を構成するTFTに好適である。

【0093】また、本実施例の構造では衝突電離によってチャネル形成領域内に蓄積した少数キャリアが速やかにソース電極へと引き抜かれるので基板浮遊効果を起こ

しにくいという利点を有する。そのため、動作速度が速い上に非常に耐圧特性の高いTFTを実現することが可能である。

【0094】〔実施例3〕本実施例では本願発明の構成において、実施例1、2とは異なる構成例を示す。TFTの作製工程は基本的には実施例1に従えば良いので、本実施例では必要な部分のみを説明することにする。

【0095】まず、実施例1の作製工程に従って図6(A)の状態を得る。ここで実施例1と異なる点は、ソース電極601、ドレイン電極602を形成する際にチャネルエッチ領域600の長さを $C_3$ とする点にある。この時、 $C_3$ はゲイト電極幅と一致させるため、 $1\sim 10\mu\text{m}$ (代表的には $3\sim 5\mu\text{m}$ )となる。

【0096】この状態で実施例1に示した様にチャネルエッチ工程を行い、保護膜を設けると図6(B)の状態を得る。この時、603で示される領域がチャネル形成領域となり、そのチャネル長は $L_3$ ( $=C_3$ )で表される。

【0097】図6(C)はドレイン領域の拡大図であるが、TFT動作時のキャリアは、チャネル形成領域603(厚さ100nm)、厚さオフセット領域604(厚さ150nm)、LDD領域605(厚さ100nm)を通して $n^+$ 層606(厚さ50nm)、ドレイン電極602へと到達する。即ち、本実施例の構造ではHRD構造が厚さオフセット+LDDの2段構造で構成される。

【0098】本実施例の構成においても、厚さオフセット領域604、LDD領域605がそれぞれの膜厚で制御されるので非常に特性バラツキが小さい。また、十分な耐圧特性を得ることが可能である。

【0099】〔実施例4〕本実施例では本願発明の構成において、実施例1～3とは異なる構成例を示す。TFTの作製工程は基本的には実施例1に従えば良いので、本実施例では必要な部分のみを説明することにする。

【0100】まず、実施例1の作製工程に従って図7(A)の状態を得る。ここで実施例1と異なる点は、ソース電極701、ドレイン電極702を形成する際にソース電極またはドレイン電極のいずれか一方をゲイト電極にオーバーラップさせ、他方はオーバーラップさせない構成とする点にある。

【0101】なお、本実施例ではチャネルエッチ領域700の長さを $C_4$ とする。この時、 $C_4$ は $1\sim 10\mu\text{m}$ (代表的には $3\sim 6\mu\text{m}$ )の範囲で選ばれる。

【0102】この状態で実施例1に示した様にチャネルエッチ工程を行い、保護膜を設けると図7(B)の状態を得る。この時、703で示される領域がチャネル形成領域となり、そのチャネル長は $L_4$ ( $=C_4-X_4$ )で表される。

【0103】ここで、 $X_4$ はマスクオフセット領域704の長さである。 $X_4$ の数値範囲については実施例1を参考にすれば良い。また、マスクオーバーラップ領域7

05の長さの数値範囲は実施例2を参考にすれば良い。

【0104】本実施例は、実施例1で説明したHRD構造と実施例2で説明したHRD構造（またはLDD構造）とを組み合わせた構成である。構造的な説明は実施例1及び実施例2で既に説明したのでここでの説明は省略する。

【0105】本実施例の様な構造を採用する場合、特にソース領域に実施例2に示したHRD構造（またはLDD構造）を用い、ドレイン領域に実施例1で説明したHRD構造を用いることが好ましい。

【0106】例えば、ドレイン領域側のチャネル端部（接合部）では特に電界集中が激しく、実施例1に示した様な抵抗成分の多いHRD構造が望ましい。逆に、ソース側ではそこまでの高耐圧対策は必要ないので、実施例2に示した様な抵抗成分の少ないHRD（またはLDD）構造が適している。

【0107】なお、本実施例において、ソース／ドレイン領域側のいずれか一方に実施例2の構成を組み合わせることも可能である。この様に、実施例1～3に示したHRD構造またはLDD構造を実施者が適宜選択してソース／ドレイン領域に採用し、回路設計を鑑みて最適な構造を設計すれば良い。この場合、 $3^2 = 9$ 通りの組み合わせパターンが可能である。

【0108】〔実施例5〕本実施例では実施例1～4に示した構成のボトムゲート型TFTを用いてCMOS回路（インバータ回路）を構成する場合の例について図8を用いて説明する。なお、CMOS回路は同一基板上に形成されたNチャネル型TFTとPチャネル型TFTとを相補的に組み合わせ構成する。

【0109】図8は実施例4に示した構成を利用したCMOS回路であり、801はPチャネル型TFTのソース電極、802はNチャネル型TFTのソース電極、803はN/P共通のドレイン電極である。

【0110】また、Nチャネル型TFTは実施例1で説明した作製工程によって $n^+$ 層804、805、 $n^-$ 層806、807が形成されている。一方、Pチャネル型TFTの方には $p^{++}$ 層808、809、 $p^-$ 層810、811が形成されている。

【0111】なお、同一基板上にCMOS回路を作製することは非常に容易である。本願発明の場合、まず、実施例1の工程に従って図2(A)の状態を得る。

【0112】この状態ではN型／P型関係なく15族から選ばれた元素が全面に添加されているが、Pチャネル型TFTを作製する場合にはNチャネル型TFTとする領域をレジストマスク等で隠して13族から選ばれた元素（代表的にはボロン、インジウムまたはガリウム）を添加すれば良い。

【0113】本実施例ではボロンを例にとるが、この時、ボロンはリンの濃度以上に添加して導電性を反転させなければならない。また、 $n^+$ 層及び $n^-$ 層全てを完

全に $p^{++}$ 層及び $p^-$ 層に反転させるためには、ボロン添加時の濃度プロファイルを調節してリンの添加深さよりも深く添加することが重要である。

【0114】従って、ボロンの膜中における濃度プロファイルは図9のようになる。図9において、900は半導体層、901はボロン添加前のリンの濃度プロファイル、902はボロン添加後のボロンの濃度プロファイル、903は $p^{++}$ 層、904は $p^-$ 層、905は $i$ 層である。

【0115】この時、 $p^{++}$ 層903の厚さは10～150 nm（代表的には50～100 nm）とし、 $p^-$ 層904の厚さは30～300 nm（代表的には100～200 nm）とする。ただし、Pチャネル型TFTは元来劣化に強いので $p^-$ 層をLDD領域として利用する必要は必ずしもない。わざわざ $p^-$ 層904の膜厚について言及したのは、イオン注入法等の添加手段を用いる限り、連続的に変化する濃度勾配によって必ず $p^-$ 層が形成されるからである。

【0116】ところで、本実施例ではNチャネル型TFTとPチャネル型TFTのどちらもソース領域側には実施例2に示した構成のHRD構造（オーバーラップ領域を利用したタイプ）を用い、ドレイン領域側には実施例1に示した構成のHRD構造（マスクオフセットを利用したタイプ）を設けている。

【0117】そのため、上面図で明らかな様にPチャネル型TFTのソース領域側にはY<sub>i</sub>の長さを持つオーバーラップ領域を有し、ドレイン領域側にはX<sub>i</sub>の長さを持つマスクオフセット領域を有している。また、Nチャネル型TFTのソース領域側にはY<sub>j</sub>の長さを持つオーバーラップ領域を有し、ドレイン領域側にはX<sub>j</sub>の長さを持つマスクオフセット領域を有している。

【0118】この時、X<sub>i</sub>とX<sub>j</sub>、Y<sub>i</sub>とY<sub>j</sub>の長さはそれぞれマスク設計によって自由に調節できる。従って、それぞれの長さは回路構成の必要に応じて適宜決定すれば良く、Nチャネル型とPチャネル型とで揃える必要はない。

【0119】また、この様な構造ではCMOS回路の共通ドレインとなる領域の耐圧特性を高くすることができるので、動作電圧の高い回路を構成する場合において、非常に有効な構成である。

【0120】なお、実施例1～4に示した構成のTFTを用いたCMOS回路の構成を図8に示したが、これ以外の全ての組み合わせも可能であることは言うまでもない。可能な構成パターンとしては、一つのTFTについて9通りあるので、CMOS回路では $9^2 = 81$ 通りがある。これらの複数の組み合わせの中から、回路が必要する性能に応じて最適な組み合わせを採用していけば良い。

【0121】また、本実施例に示した様に本願発明はPチャネル型TFTにも容易に適用することができる。その場合、本願発明のボトムゲート型TFT（Pチャネル

型TFT)のモビリティは $10\sim 100\text{cm}^2/\text{Vs}$  (代表的には $50\sim 100\text{cm}^2/\text{Vs}$ )、しきい値電圧は $-1.5\sim -5\text{V}$ を実現する。

【0122】〔実施例6〕本実施例では、本願発明のTFTに対してしきい値電圧を制御するための工夫を施した場合の例について説明する。

【0123】しきい値電圧を制御するために13族(代表的にはボロン、インジウム、ガリウム)または15族(代表的にはリン、砒素、アンチモン)から選ばれた元素をチャネル形成領域に対して添加する技術はチャネルドーブと呼ばれている。

【0124】本願発明に対してチャネルドーブを行うことは有効であり、以下に示す2通りの方法が簡易で良い。

【0125】まず、非晶質珪素膜を成膜する時点において成膜ガスにしきい値電圧を制御するための不純物を含むガス(例えばジボラン、フォスフィン等)を混在させ、成膜と同時に所定量を含有させる方式がある。この場合、工程数を全く増やす必要がないが、N型及びP型の両TFTに対して同濃度が添加されるため、両者で濃度を異ならせるといった要求には対応できない。

【0126】次に、図2(C)で説明した様なチャネルエッチ工程(チャネル形成領域の形成工程)が終了した後で、ソース/ドレイン電極をマスクとしてチャネル形成領域(またはチャネル形成領域とマスクオフセット領域)に対して選択的に不純物添加を行う方式がある。

【0127】添加方法はイオン注入法、イオンドーピング法、プラズマ処理法、気相法(雰囲気からの拡散)、固相法(膜中からの拡散)など様々な方法を用いることができるが、チャネル形成領域が薄いので、気相法や固相等の様にダメージをあたえない方法が好ましい。

【0128】なお、イオン注入法等を用いる場合には、TFT全体を覆う保護膜を設けてから行えばチャネル形成領域のダメージを減らすことができる。

【0129】また、不純物を添加した後はレーザーアニール、ランプアニール、ファーンズアニールまたはそれらを組み合わせて不純物の活性化工程を行う。この時、チャネル形成領域が受けたダメージも殆ど回復する。

【0130】本実施例を実施する場合、チャネル形成領域には $1\times 10^{15}\sim 5\times 10^{18}\text{atoms}/\text{cm}^3$  (代表的には $1\times 10^{15}\sim 5\times 10^{17}\text{atoms}/\text{cm}^3$ )の濃度でしきい値電圧を制御するための不純物を添加すれば良い。

【0131】そして、本実施例を本願発明のTFTに実施した場合、Nチャネル型TFTのしきい値電圧を $1.5\sim 3.5\text{V}$ の範囲に収めることができる。また、Pチャネル型TFTに適用した場合にはしきい値電圧を $-1.5\sim -3.5\text{V}$ の範囲に収めることが可能である。

【0132】なお、本実施例の構成は実施例1～5のいずれの構成との組み合わせも可能である。また、実施例5のCMOS回路に適用する場合、N型TFTとP型T

Fとで添加濃度や添加する不純物の種類を異なるものとすることもできる。

【0133】〔実施例7〕図2(C)に示した構造では、島状半導体層を完全に囲む様にしてソース電極112とドレイン電極113とが形成されている。本実施例ではこれとは別の構成について説明する。

【0134】図10(A)に示す構造は、基本的には図2(C)と似ているが、ソース電極11及びドレイン電極12の形状が異なる点に特徴がある。即ち、一部において島状半導体層(厳密にはソース/ドレイン領域)よりもaで示される距離だけ内側にソース電極11及びドレイン電極12が形成されている。

【0135】また、13で示される領域は、チャネル形成領域14と同じ膜厚を有する領域であり、距離aの幅を持つ。図面上では模式的に表しているが、距離aは $1\sim 300\mu\text{m}$  (代表的には $10\sim 200\mu\text{m}$ )である。

【0136】ここで作製工程と照らし合わせて本実施例の特徴を説明する。本実施例では図10(B)に示す様にソース電極11及びドレイン電極12を形成する。ここで15は島状半導体層であり、端部16が露出する。

【0137】この状態でチャネルエッチ工程を行うと、ソース電極11及びドレイン電極12がマスクとなって自己整合的に島状半導体層15がエッチングされる。この場合、端部16も同時にエッチングされる。

【0138】この様にして図10(A)の様な構造が得られる。従って、端部16がチャネル形成領域14と同じ膜厚を有することは明らかである。

【0139】この島状半導体層の突出部13を形成する理由は以下の2つがある。

(1)チャネルエッチ工程におけるエッチングモニタとして利用する。

(2)後工程で保護膜や層間絶縁膜を形成する際に、島状半導体層の段差によるカバレッジ不良を低減する。

【0140】エッチングモニタとしては、製造過程における抜き取り検査によってチャネル形成領域が適切な膜厚となっているかどうかを検査する場合に用いる。

【0141】なお、本実施例の構成は実施例1～6のいずれの構成とも組み合わせることが可能である。

【0142】〔実施例8〕本実施例では実施例5に示したCMOS回路(インバータ回路)の回路構成の例について図11を用いて説明する。

【0143】図11(A)に示すのは、図8に示したものと同一構造のCMOS回路である。この場合、回路構成はクロム膜からなるゲート電極20、N型TFTの半導体層21、P型TFTの半導体層22、N型TFTのソース電極23、P型TFTのソース電極24、共通ドレイン電極25から構成される。

【0144】なお、各端子部a、b、c、dはそれぞれ図11(C)に示したインバータ回路の端子部a、b、c、dに対応している。

【0145】次に、図11(B)に示すのは、N型TFTとP型TFTとでドレイン領域となる半導体層を共通化した場合の例である。各符号は図11(A)で説明した符号に対応している。

【0146】図11(B)の構造ではTFT同士を非常に高い密度で形成することができるため、回路を高集積化する場合などに非常に有効である。共通化した半導体層はPN接合を形成するが問題とはならない。

【0147】〔実施例9〕実施例1で説明した作製工程では、非晶質半導体膜の結晶化工程においてレーザー光を使用しているが、レーザー光と同等の強度を持つ強光を用いて結晶化することも可能である。この場合も半導体層は一旦溶融してから再結晶化するので溶融結晶化膜に特有の粒界分布を示す。

【0148】その様な強光としては、赤外線ランプまたは紫外線ランプから発する強光を用いることができる。赤外線ランプを用いたRTA(Rapid Thermal Anneal)技術は数秒から数十秒の加熱処理で結晶化が可能であるため、大幅にスループットを向上することが可能である。

【0149】なお、本実施例の構成は不純物の活性化工程において利用することも可能である。また、本実施例に示したランプアニール技術とレーザー光照射とを組み合わせることで相乗効果を図ることも有効である。また、本実施例の構成は、他の全ての実施例の構成と組み合わせることが可能である。

【0150】

【発明の効果】本願発明を実施することで、非常に少ないマスク数(典型的には4枚)で量産性の高い半導体装置を作製することができる。

【0151】また、チャネル形成領域とソース/ドレイン電極間に、特性バラツキの小さい電界緩和層(LDD領域、マスクオフセット領域、厚さオフセット領域等)

が形成できるので、信頼性が高く且つ再現性の高い半導体装置を実現することが可能である。

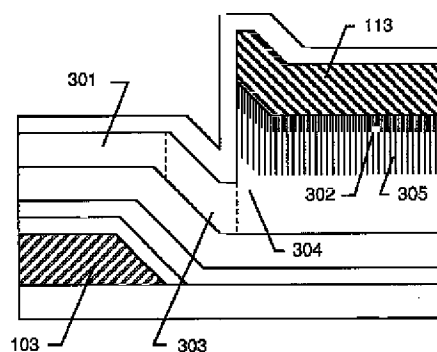
#### 【図面の簡単な説明】

- 【図1】 薄膜トランジスタの作製工程を示す図。
- 【図2】 薄膜トランジスタの作製工程を示す図。
- 【図3】 薄膜トランジスタの構成を示す拡大図。
- 【図4】 膜中の濃度プロファイルを示す図。
- 【図5】 薄膜トランジスタの構成を示す図。
- 【図6】 薄膜トランジスタの構成を示す図。
- 【図7】 薄膜トランジスタの構成を示す図。
- 【図8】 CMOS回路の構成を示す図。
- 【図9】 膜中の濃度プロファイルを示す図。
- 【図10】 薄膜トランジスタの構成を示す図。
- 【図11】 CMOS回路の構成を示す図。

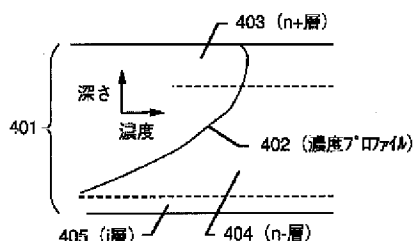
#### 【符号の説明】

101	基板
102	下地膜
103	ゲイト電極
104	陽極酸化膜
105	窒化珪素膜
106	酸化窒化珪素膜
107	非晶質半導体膜
108	結晶性半導体膜
109	n <sup>+</sup> 層(第1導電層)
110	n <sup>-</sup> 層(第2導電層)
111	島状半導体層
112	ソース電極
113	ドレイン電極
114	チャネルエッチ領域
115	保護膜
116	チャネル形成領域
117	マスクオフセット領域
118	コンタクトホール

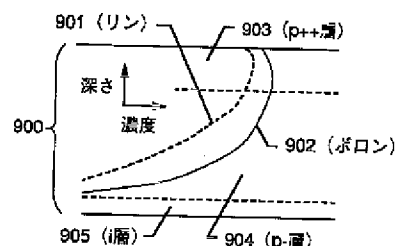
【図3】



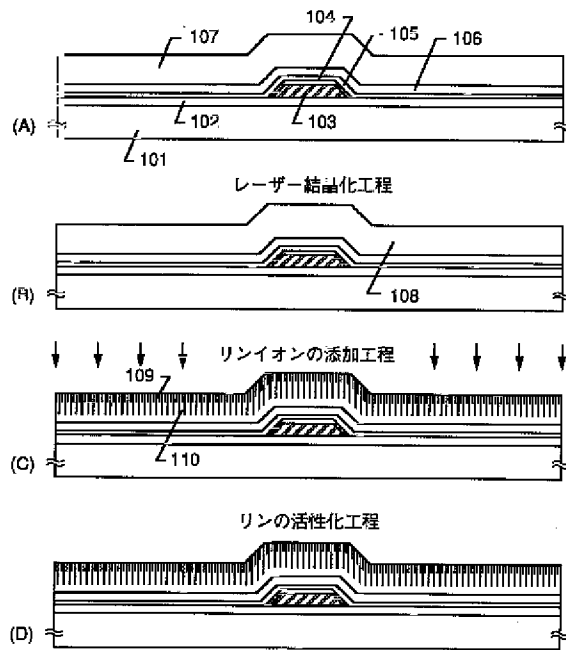
【図4】



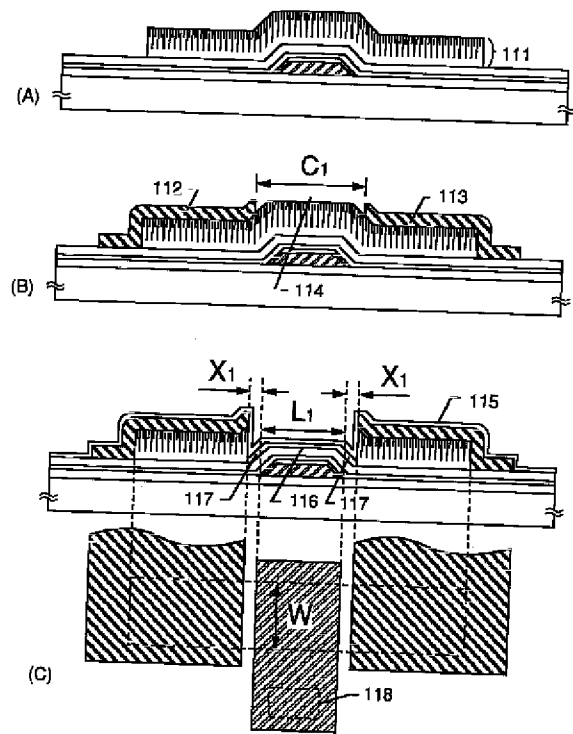
【図9】



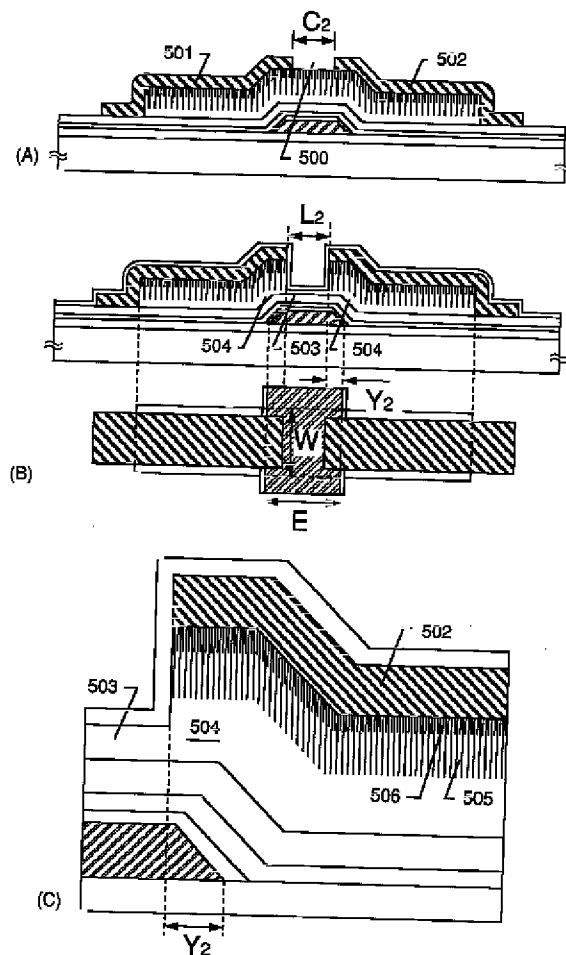
【図1】



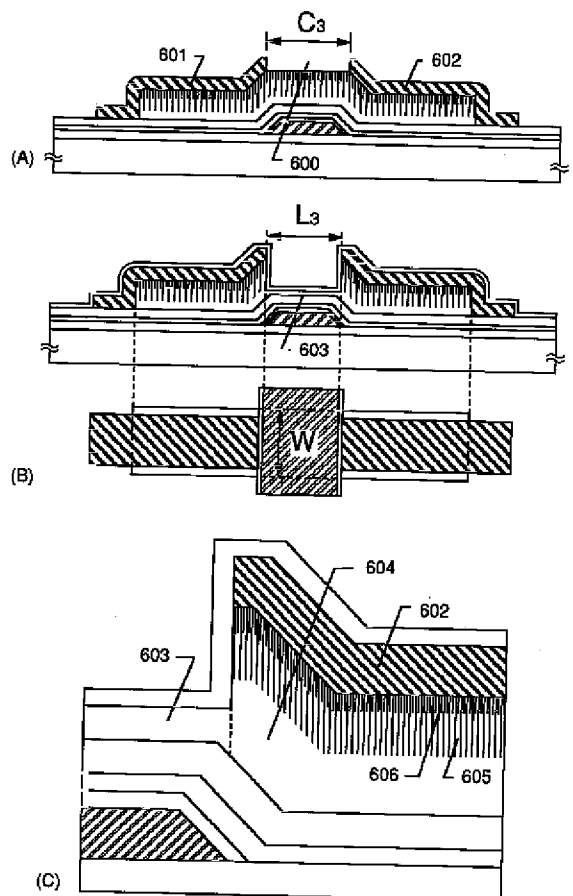
【図2】



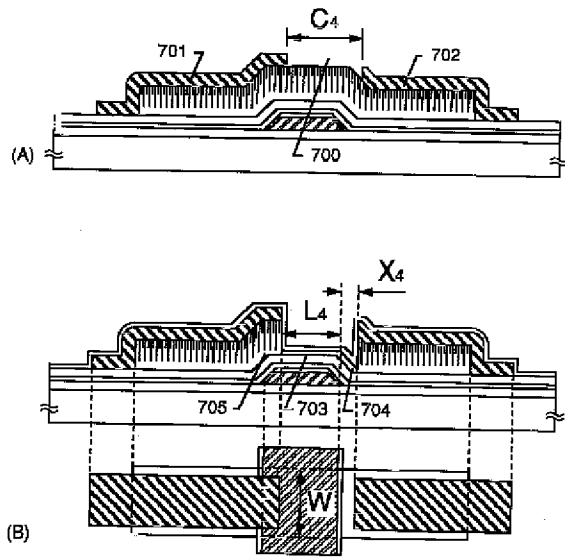
【図5】



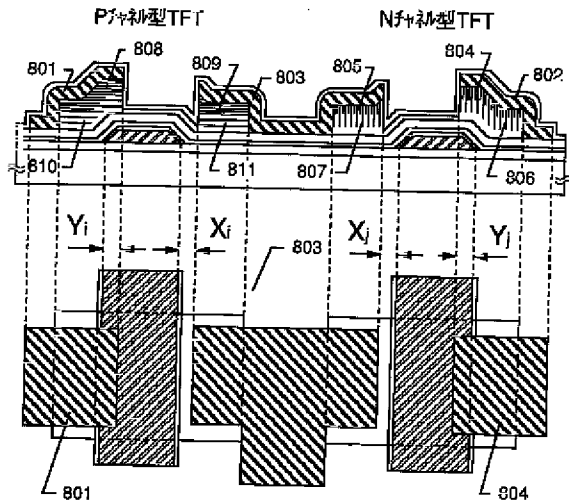
【図6】



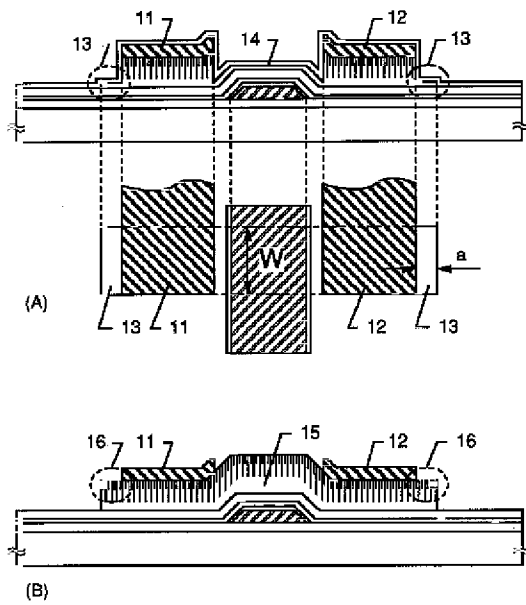
【図7】



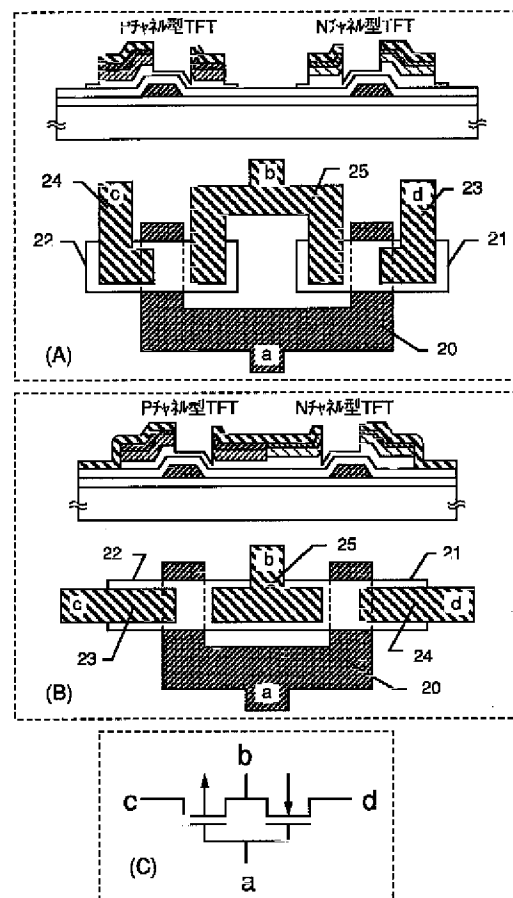
【図8】



【図10】



【図11】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 29/78

6 1 8 F

6 1 8 A

6 2 7 G

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **11-097708**

(43)Date of publication of application : **09.04.1999**

---

(51)Int.Cl. **H01L 29/786**

**H01L 27/08**

**H01L 21/336**

---

(21)Application number : **09-278124** (71)Applicant : **SEMICONDUCTOR  
ENERGY LAB CO LTD**

(22)Date of filing : **24.09.1997** (72)Inventor : **YAMAZAKI SHUNPEI  
KOYAMA JUN  
FUKUNAGA KENJI**

---

(54) **SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SAME**

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which realizes high productivity and has high reliability and reproducibility by a simple manufacturing process.

SOLUTION: In a structure of a bottom-gate type semiconductor device made up of a semiconductor layer having a crystal structure, source/drain regions are constituted by a multilayered structure made of a first conductive layer (n+ layer), a second conductive layer (n- layer) having a higher resistance than the first



conductive layer, and an intrinsic or substantially intrinsic semiconductor layer (i layer). In this case, the n- layer functions as an LDD(lightly doped drain) region, and the i layer functions as an offset region in the direction of the thickness of the film.

---

## LEGAL STATUS

[Date of request for examination] 29.07.2004

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

**JPO and NCIP are not responsible for any  
damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1] It is the semiconductor device of the bottom gate mold which has the source field, drain field, and channel formation field which consisted of semi-conductor layers which have a crystal structure. Said semi-conductor layer shows grain boundary distribution peculiar to the melting crystallization film. Said source field and a drain field gate dielectric film -- going -- at least -- the 1st conductive layer and the 1st conductive layer concerned -- high -- the semiconductor device characterized by having the laminated structure which consists of the 2nd conductive layer [ \*\*\*\* ] and a semi-conductor layer of the same conductivity type as said channel formation field.

[Claim 2] It is the semiconductor device of the bottom gate mold which has the source field, drain field, and channel formation field which consisted of semi-conductor layers which have a crystal structure. Said semi-conductor layer shows grain boundary distribution peculiar to the melting crystallization film. Said source field and a drain field It has the laminated structure which consists of the 2nd conductive layer [ \*\*\*\* ] and a semi-conductor layer of the same conductivity type as said channel formation field. at least -- gate dielectric film -- going -- the 1st conductive layer and the 1st conductive layer concerned -- high -- The semiconductor device characterized by the concentration profile of the impurity which is missing from said 2nd conductive layer from said 1st conductive layer, and constitutes the 1st and 2nd conductive layers concerned changing continuously.

[Claim 3] It is the semiconductor device of the bottom gate mold which has the source field, drain field, and channel formation field which consisted of semi-conductor layers which have a crystal structure. Said semi-conductor layer shows grain boundary distribution peculiar to the melting crystallization film. Said source field and a drain field It has the laminated structure which consists of the

2nd conductive layer [ \*\*\*\* ] and a semi-conductor layer of the same conductivity type as said channel formation field. at least -- gate dielectric film -- going -- the 1st conductive layer and the 1st conductive layer concerned -- high -- Said 2nd conductive layer  $5 \times 10^{17}$  -  $1 \times 10^{19}$  atoms/cm<sup>3</sup> Semiconductor device characterized by being formed with the impurity which changes continuously by within the limits.

[Claim 4] It is the semiconductor device of the bottom gate mold which has the source field, drain field, and channel formation field which consisted of semi-conductor layers which have a crystal structure. Said semi-conductor layer shows grain boundary distribution peculiar to the melting crystallization film. Said source field and a drain field It has the laminated structure which consists of the 2nd conductive layer [ \*\*\*\* ] and a semi-conductor layer of the same conductivity type as said channel formation field. at least -- gate dielectric film -- going -- the 1st conductive layer and the 1st conductive layer concerned -- high -- The semiconductor device characterized by two offset fields where thickness differs existing between said channel formation field and said 2nd conductive layer.

[Claim 5] It is the semiconductor device of the bottom gate mold which has the source field, drain field, and channel formation field which consisted of semi-conductor layers which have a crystal structure. Said semi-conductor layer shows grain boundary distribution peculiar to the melting crystallization film. Said source field and a drain field It has the laminated structure which consists of the 2nd conductive layer [ \*\*\*\* ] and a semi-conductor layer of the same conductivity type as said channel formation field. at least -- gate dielectric film -- going -- the 1st conductive layer and the 1st conductive layer concerned -- high -- The semiconductor device characterized by the thick offset field of thickness existing rather than said channel formation field between said channel formation field and said 2nd conductive layer.

[Claim 6] The gate electrode formed on the substrate which has an insulating front face, and the source field, drain field and channel formation field which consisted of semi-conductor layers which have a crystal structure, The source

electrode and drain electrode which were formed in each on said source field and a drain field, It is the semiconductor device of the bottom gate mold which \*\*\*\*, and said semi-conductor layer shows grain boundary distribution peculiar to the melting crystallization film. Said source field and a drain field It has the laminated structure which consists of the 2nd conductive layer [ \*\*\*\* ] and a semi-conductor layer of the same conductivity type as said channel formation field. at least -- gate dielectric film -- going -- the 1st conductive layer and the 1st conductive layer concerned -- high -- Said source electrode and/or a drain electrode are a semiconductor device characterized by overlapping said gate electrode on said channel formation field.

[Claim 7] It is the semiconductor device of the bottom gate mold which has the source field, drain field, and channel formation field which consisted of semi-conductor layers which have a crystal structure. Said semi-conductor layer shows grain boundary distribution peculiar to the melting crystallization film. Said source field and a drain field It has the laminated structure which consists of the 2nd conductive layer [ \*\*\*\* ] and a semi-conductor layer of the same conductivity type as said channel formation field. at least -- gate dielectric film -- going -- the 1st conductive layer and the 1st conductive layer concerned -- high -- The semiconductor device characterized by the HRD structure which consists of two offset fields where thickness differs, and said 2nd conductive layer existing between said channel formation field and said 1st conductive layer.

[Claim 8] It is the semiconductor device which two offset fields where said thickness differs are offset of the direction of a film surface where one side consists of the same conductivity type as said channel formation field, and a semi-conductor layer of the same thickness in claim 7, and is characterized by another side being offset of the direction of thickness which consists of a semi-conductor layer with thickness thicker than the same conductivity type as said channel formation field, and said channel formation field.

[Claim 9] claim 1 thru/or claim 7 -- setting -- the thickness of said 1st conductive layer -- 30-100nm it is -- semiconductor device characterized by for the thickness

of said 2nd conductive layer being 30 - 200 nm, for the thickness of the semiconductor layer of the same conductivity type as said channel formation field being 100 - 300 nm, and the thickness of said channel formation field being 10 - 100 nm.

[Claim 10] The semiconductor device characterized by thickness being thick at the order of said 1st conductive layer, said 2nd conductive layer, and the semiconductor layer of the same conductivity type as said channel formation field in claim 9.

[Claim 11] It is the semiconductor device which is a genuineness semiconductor layer (i layers) genuineness or substantially, and is characterized by the thing with thickness thicker than said channel formation field which the semiconductor layer of the same conductivity type as said channel formation field exists under said 2nd conductive layer in claim 1 thru/or claim 7.

[Claim 12] It is the semiconductor device characterized by being the semiconductor layer which was able to give conductivity with the element with which said the 1st conductive layer and said 2nd conductive layer were chosen from 13 groups and/or 15 groups in claim 1 thru/or claim 7.

[Claim 13] In claim 1 thru/or claim 7, the impurity for threshold armature-voltage control in said channel formation field at least  $1 \times 10^{15}$  -  $5 \times 10^{17}$  atoms/cm<sup>3</sup> Semiconductor device characterized by being added by concentration.

[Claim 14] In claim 1 thru/or claim 7, the impurity for threshold armature-voltage control in the semiconductor layer of the same conductivity type as said channel formation field and the channel formation field concerned  $1 \times 10^{15}$  -  $5 \times 10^{17}$  atoms/cm<sup>3</sup> Semiconductor device characterized by being added by concentration.

[Claim 15] The semiconductor device characterized by the impurity for said threshold armature-voltage control being boron, an indium, or a gallium in claim 13 or claim 14.

[Claim 16] The process which forms a gate electrode, a gate insulating layer, and the amorphous semiconductor film on the substrate which has an insulating front

face, The process which obtains the semi-conductor film which crystallizes by irradiating the strong light which has laser light or reinforcement equivalent to it to said amorphous semiconductor film, and has the crystal structure, The impurity chosen from 13 groups and/or 15 groups by ion-implantation or the ion doping method to the semi-conductor film which has said crystal structure is added. The process which activates said impurity the process which forms the 1st and 2nd conductive layers containing the impurity concerned, and by irradiating strong light with laser light or reinforcement equivalent to it, The process which forms a channel formation field by the process which forms a source electrode and a drain electrode on said conductive layer, and etching the semi-conductor film which has said crystal structure by using said source electrode and a drain electrode as a mask, The production approach of the semiconductor device characterized by \*\*\*\*(ing) and controlling the thickness of said 1st and 2nd conductive layers as the concentration profile of said impurity is also.

[Claim 17] The process which forms a gate electrode, a gate insulating layer, and the amorphous semiconductor film on the substrate which has an insulating front face, The process which obtains the semi-conductor film which crystallizes by irradiating the strong light which has laser light or reinforcement equivalent to it to said amorphous semiconductor film, and has the crystal structure, The impurity chosen from 13 groups and/or 15 groups by ion-implantation or the ion doping method to the semi-conductor film which has said crystal structure is added. The process which activates said impurity the process which forms the 1st and 2nd conductive layers containing the impurity concerned, and by irradiating strong light with laser light or reinforcement equivalent to it, The process which forms a channel formation field by the process which forms a source electrode and a drain electrode on said conductive layer, and etching the semi-conductor film which has said crystal structure by using said source electrode and a drain electrode as a mask, The production approach of the semiconductor device characterized by having the process which adds the impurity for threshold armature-voltage control by using said source electrode and a drain electrode as

a mask, and controlling the thickness of said 1st and 2nd conductive layers as the concentration profile of said impurity is also.

[Claim 18] The production approach of the semiconductor device characterized by for the impurity chosen from said 13 groups being boron, an indium, or a gallium in claim 16 or claim 17, and the impurity chosen from said 15 groups being Lynn, arsenic, or antimony.

---

[Translation done.]

\* NOTICES \*

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] The invention in this application relates to the semiconductor device using the semi-conductor thin film which has the crystal structure, and its production approach. Especially, it is related with the configuration of the thin film transistor (it is hereafter written as TFT) of reverse stagger structure.

[0002]

[Description of the Prior Art] Conventionally, TFT is used as a switching element of an active matrix liquid crystal indicating equipment (it is hereafter written as

AMLCD). In current, the product which performs circuitry by TFT which used the amorphous silicon film (amorphous silicon film) as a barrier layer occupies the commercial scene. Especially as TFT structure, many easy reverse stagger structures of a production process are adopted.

[0003] However, high performance-ization of AMLCD progresses every year and the engine performance (especially working speed) of operation for which TFT is asked tends to become severe. Therefore, it became difficult to obtain the component which has engine performance sufficient in the working speed of TFT using the amorphous silicon film.

[0004] Then, TFT which used the polycrystal silicon film (polish recon film) instead of the amorphous silicon film is brought into the limelight, and development of TFT which makes the polycrystal silicon film a barrier layer is progressing with remarkable vigor. Commercial production is also performed by the part current.

[0005] About the structure of the reverse stagger mold TFT where the polycrystal silicon film was used as a barrier layer, many announcements are already made. For example, there is a report of "Fabrication of Low-Temperature Bottom-Gate Poly-Si TFTs on Large-Area Substrate by Linear-Beam Excimer LaserCrystallization and Ion Doping Method:H.Hayashi et.al., IEDM95 and PP 829-832, 1995", etc.

[0006] Although this report explains the typical example (Fig. 4) of the reverse stagger structure where the polycrystal silicon film was used, with the reverse stagger structure (the so-called channel stop mold) of such structure, it also has various problems.

[0007] First, since the whole barrier layer is very as thin as about 50nm, an ionization by collision (Impact Ionization) will occur in the joint of a channel formation field and a drain field, and degradation phenomena, such as hot carrier impregnation, will appear notably. Therefore, the need of forming a big LDD field (Light Doped Drain region) arises.

[0008] And the controllability of this LDD field poses most serious problem. A



LDD field has very delicate control of high impurity concentration and the die length of a field, and especially die-length control poses a problem. Although the method which specifies the die length of a LDD field with a mask pattern is taken in the present condition, if detailed-ization progresses, the difference of the TFT property that few patterning errors are big will be induced.

[0009] The variation in the sheet resistance of the LDD field by the variation in the thickness of a barrier layer also poses a serious problem. Furthermore, it can become the factor to which variations, such as a cone angle of a gate electrode, also invite the variation in the effectiveness of a LDD field.

[0010] Moreover, in order to form a LDD field, a patterning process is required, and it causes the increment in a production process, and the fall of a throughput as it is. Also at the lowest with the reverse stagger structure indicated by the above-mentioned report, six masks are expected to be required (to the source / drain electrode formation).

[0011] As mentioned above, it is very difficult to form the LDD field which must form a LDD field in the both sides of channel \*\*\*\*\* in a lateral flat surface with the reverse stagger structure of a channel stop mold, and is reproducible.

[0012]

[Problem(s) to be Solved by the Invention] In the invention in this application, mass-production nature makes it a technical problem to offer the technique which produces a semiconductor device with high dependability and repeatability highly by the very simple production process.

[0013]

[Means for Solving the Problem] The source field where the configuration of invention indicated on these specifications consisted of semi-conductor layers which have the crystal structure, It is the semiconductor device of the bottom gate mold which has a drain field and a channel formation field, and said semiconductor layer shows grain boundary distribution peculiar to the melting crystallization film. Said source field and a drain field gate dielectric film -- going -  
- at least -- the 1st conductive layer and the 1st conductive layer concerned --

high -- it is characterized by having the laminated structure which consists of the 2nd conductive layer [ \*\*\*\* ] and a semi-conductor layer of the same conductivity type as said channel formation field.

[0014] Moreover, the source field where the configuration of other invention consisted of semi-conductor layers which have the crystal structure, It is the semiconductor device of the bottom gate mold which has a drain field and a channel formation field, and said semi-conductor layer shows grain boundary distribution peculiar to the melting crystallization film. Said source field and a drain field It has the laminated structure which consists of the 2nd conductive layer [ \*\*\*\* ] and a semi-conductor layer of the same conductivity type as said channel formation field. at least -- gate dielectric film -- going -- the 1st conductive layer and the 1st conductive layer concerned -- high -- It is characterized by the concentration profile of the impurity which is missing from said 2nd conductive layer from said 1st conductive layer, and constitutes the 1st and 2nd conductive layers concerned changing continuously.

[0015] Moreover, the source field where the configuration of other invention consisted of semi-conductor layers which have the crystal structure, It is the semiconductor device of the bottom gate mold which has a drain field and a channel formation field, and said semi-conductor layer shows grain boundary distribution peculiar to the melting crystallization film. Said source field and a drain field It has the laminated structure which consists of the 2nd conductive layer [ \*\*\*\* ] and a semi-conductor layer of the same conductivity type as said channel formation field. at least -- gate dielectric film -- going -- the 1st conductive layer and the 1st conductive layer concerned -- high -- Said 2nd conductive layer  $5 \times 10^{17} - 1 \times 10^{19}$  atoms/cm<sup>3</sup> It is characterized by being formed with the impurity which changes continuously by within the limits.

[0016] Moreover, the source field where the configuration of other invention consisted of semi-conductor layers which have the crystal structure, It is the semiconductor device of the bottom gate mold which has a drain field and a channel formation field, and said semi-conductor layer shows grain boundary

distribution peculiar to the melting crystallization film. Said source field and a drain field It has the laminated structure which consists of the 2nd conductive layer [ \*\*\*\* ] and a semi-conductor layer of the same conductivity type as said channel formation field. at least -- gate dielectric film -- going -- the 1st conductive layer and the 1st conductive layer concerned -- high -- Between said channel formation field and said 2nd conductive layer, it is characterized by two offset fields where thickness differs existing.

[0017] Moreover, the source field where the configuration of other invention consisted of semi-conductor layers which have the crystal structure, It is the semiconductor device of the bottom gate mold which has a drain field and a channel formation field, and said semi-conductor layer shows grain boundary distribution peculiar to the melting crystallization film. Said source field and a drain field It has the laminated structure which consists of the 2nd conductive layer [ \*\*\*\* ] and a semi-conductor layer of the same conductivity type as said channel formation field. at least -- gate dielectric film -- going -- the 1st conductive layer and the 1st conductive layer concerned -- high -- Between said channel formation field and said 2nd conductive layer, it is characterized by the thick offset field of thickness existing rather than said channel formation field.

[0018] Moreover, the gate electrode with which the configuration of other invention was formed on the substrate which has an insulating front face, The source field, drain field, and channel formation field which consisted of semi-conductor layers which have a crystal structure, The source electrode and drain electrode which were formed in each on said source field and a drain field, It is the semiconductor device of the bottom gate mold which \*\*\*\*, and said semi-conductor layer shows grain boundary distribution peculiar to the melting crystallization film. Said source field and a drain field It has the laminated structure which consists of the 2nd conductive layer [ \*\*\*\* ] and a semi-conductor layer of the same conductivity type as said channel formation field. at least -- gate dielectric film -- going -- the 1st conductive layer and the 1st conductive layer concerned -- high -- It is characterized by said source electrode and/or the

drain electrode overlapping said gate electrode on said channel formation field.

[0019] Moreover, the source field where the configuration of other invention consisted of semi-conductor layers which have the crystal structure, It is the semiconductor device of the bottom gate mold which has a drain field and a channel formation field, and said semi-conductor layer shows grain boundary distribution peculiar to the melting crystallization film. Said source field and a drain field It has the laminated structure which consists of the 2nd conductive layer [ \*\*\*\* ] and a semi-conductor layer of the same conductivity type as said channel formation field. at least -- gate dielectric film -- going -- the 1st conductive layer and the 1st conductive layer concerned -- high -- Between said channel formation field and said 1st conductive layer, it is characterized by the HRD structure which consists of two offset fields where thickness differs, and said 2nd conductive layer existing.

[0020] In addition, it is characterized by for two offset fields where said thickness differs being offset of the direction of a film surface where one side consists of the same conductivity type as said channel formation field, and a semi-conductor layer of the same thickness, and another side being offset of the direction of thickness which consists of a semi-conductor layer with thickness thicker than the same conductivity type as said channel, and said channel formation field.

[0021] Moreover, the process at which the configuration of other invention about the production approach forms a gate electrode, a gate insulating layer, and the amorphous semiconductor film on the substrate which has an insulating front face, The process which obtains the semi-conductor film which crystallizes by irradiating the strong light which has laser light or reinforcement equivalent to it to said amorphous semiconductor film, and has the crystal structure, The impurity chosen from 13 groups and/or 15 groups by ion-implantation or the ion doping method to the semi-conductor film which has said crystal structure is added. The process which activates said impurity the process which forms the 1st and 2nd conductive layers containing the impurity concerned, and by irradiating strong light with laser light or reinforcement equivalent to it, The process which forms a

channel formation field by the process which forms a source electrode and a drain electrode on said conductive layer, and etching the semi-conductor film which has said crystal structure by using said source electrode and a drain electrode as a mask, It \*\*\*\* and is characterized by controlling the thickness of said 1st and 2nd conductive layers as the concentration profile of said impurity is also.

[0022] Moreover, the process at which the configuration of other invention forms a gate electrode, a gate insulating layer, and the amorphous semiconductor film on the substrate which has an insulating front face, The process which obtains the semi-conductor film which crystallizes by irradiating the strong light which has laser light or reinforcement equivalent to it to said amorphous semiconductor film, and has the crystal structure, The impurity chosen from 13 groups and/or 15 groups by ion-implantation or the ion doping method to the semi-conductor film which has said crystal structure is added. The process which activates said impurity the process which forms the 1st and 2nd conductive layers containing the impurity concerned, and by irradiating strong light with laser light or reinforcement equivalent to it, The process which forms a channel formation field by the process which forms a source electrode and a drain electrode on said conductive layer, and etching the semi-conductor film which has said crystal structure by using said source electrode and a drain electrode as a mask, It has the process which adds the impurity for threshold armature-voltage control by using said source electrode and a drain electrode as a mask, and is characterized by controlling the thickness of said 1st and 2nd conductive layers as the concentration profile of said impurity is also.

[0023]

[Embodiment of the Invention] Suppose that detailed explanation is given as it is also at the example indicated below about the gestalt of operation of the invention in this application which consists of the above configuration.

[0024]

[Example]

[Example 1] The typical example of the invention in this application is explained using drawing 1 -3. First, the production approach of the semiconductor device of the invention in this application is explained using drawing 1 .

[0025] First, the substrate film 102 which becomes by the insulator layer which uses silicon as a principal component is formed on a glass substrate 101 as preparation of the substrate which has an insulating front face. The gate electrode (the 1st wiring) 103 which becomes by the conductive film on it is formed.

[0026] Line breadth of the gate electrode 103 is set to 1-10 micrometers (typically 3-5 micrometers). Moreover, thickness It is referred to as 200 - 500 nm (typically 250 - 300 nm). With this example A gate electrode with a line breadth of 3 micrometers is formed using the aluminum film (a 2wt% scandium is contained) of 250nm thickness.

[0027] In addition, as a gate electrode 103, a tantalum, a tungsten, titanium, chromium, molybdenum, conductive silicon, metal silicide, or those cascade screens can be used besides aluminum. The 1st patterning process (gate electrode formation) is performed here.

[0028] Here, it anodizes to the gate electrode 103 and 50-200 nm (typically 100 - 150 nm) formation of the oxide film on anode 104 which protects a gate electrode is carried out. the inside of the ethylene glycol solution (ammonia neutralizes neutrally) which contains 3% of tartaric acid in this example -- applied-voltage 80V and formation -- it forms on the conditions of 5-6mA of currents. In this way, it can form in the thickness of 100 nm extent.

[0029] Next, a silicon nitride film 105 (0 - 200 nm, typically [ thickness ] 25 - 100 nm, preferably 50nm) and SiO<sub>x</sub> Ny The gate insulating layer which consists of the oxidation silicon nitride film or the oxidation silicon film (typically [ thickness / 150 - 300 nm, ] 200 nm) 106 shown is formed.

[0030] In addition, in the case of this example, an oxide film on anode 104 is also contained in a gate insulating layer. Moreover, the oxidation silicon film can also be used as a gate insulating layer.

[0031] If a gate insulating layer is formed, the amorphous semiconductor film 107 which uses silicon as a principal component will be formed on it. In this example, although the amorphous silicon film is made into an example, other compound semiconductor film (amorphous silicon film containing germanium etc.) may be used.

[0032] Moreover, since the invention in this application is the bottom gate structure of a channel dirty mold, the thickness of the amorphous silicon film 107 is formed thickly. Thickness range It is referred to as 100 - 600 nm (typically 200 - 300 nm, preferably 250 nm). It is referred to as 200 nm in this example.

Moreover, although mentioned later, it is necessary to determine the optimal thickness suitably by a LDD field [ what kind of offset field and ] are established in TFT of the invention in this application.

[0033] In addition, although the amorphous silicon film 107 is formed with a reduced pressure heat CVD method in this example, it is desirable to manage the concentration of impurities, such as carbon, oxygen, and nitrogen, thoroughly in the case of membrane formation. When there are many these impurities, there is a possibility of breaking down the crystalline homogeneity of the crystalline semi-conductor film behind.

[0034] Carbon and nitrogen in this example  $5 \times 10^{18}$  atoms/cm<sup>3</sup> Oxygen the following (it is  $5 \times 10^{17}$  atoms/cm<sup>3</sup> typically following)  $1.5 \times 10^{19}$  atoms/cm<sup>3</sup> It controls to become the following (for it to be  $1 \times 10^{18}$  atoms/cm<sup>3</sup> typically following). [ the concentration of each impurity in the amorphous silicon film which formed membranes ] If such management is performed, the high impurity concentration finally contained all over the channel formation field of TFT will fall within the above-mentioned range.

[0035] In this way, the condition of drawing 1 (A) is acquired. If the condition of drawing 1 (A) is acquired, the amorphous silicon film 107 will be crystallized by the exposure of laser light. ( Drawing 1 (B))

[0036] What is necessary is just to use the pulse oscillation mold excimer laser which used KrF (248 nm), XeCl (308 nm), ArF (193 nm), etc. as excitation gas as

a laser light. Moreover, Nd: All other laser light, such as a higher harmonic of an YAG laser, can be used.

[0037] In addition, when the thickness of the amorphous semiconductor film which it is going to crystallize like this example is thick, having used laser light with long wavelength tends to crystallize the whole to homogeneity. Moreover, in case laser light is irradiated, the method of heating a substrate auxiliary in the range of 50 - 500 °C extent is also effective. Moreover, it is also effective to adjust to thickness in which light absorption effectiveness increases in view of the wavelength period of laser light.

[0038] At this example, after processing the XeCl excimer laser light of a pulse oscillation mold into a line according to optical system, laser annealing is performed to the whole amorphous silicon film surface by scanning toward the other end from the end of a substrate.

[0039] In addition, an oscillation frequency is 30MHz and a scan speed is 2.4mm/[ s and ] and laser energy. 300 - 400 mJ/cm<sup>2</sup> It carries out, and a substrate is heated and processed from a rear-face side to 400 °C. In this way, the crystalline semi-conductor film (this example crystalline silicon film) 108 is obtained.

[0040] Moreover, since the amorphous silicon film differs in the rate of heat absorption from a glass substrate, if it irradiates from a membranous top-face side, it is possible to raise the temperature of the amorphous silicon film intensively. Therefore, it is possible to heat the amorphous silicon film at the temperature beyond the heat-resistant temperature (near 650 °C) of a glass substrate.

[0041] by the way, the semi-conductor film (by this detail letter, it is called the melting crystallization film) crystallized by the exposure of laser light like this example has grain boundary distribution (the grain boundary's existence distribution) peculiar to laser crystallization. When a grain boundary is made remarkable and observed with the well-known technique called SEKOETCHINGU, it turns out that it is the aggregate of the crystal grain which



crystal grain and a grain boundary can distinguish clearly and has the particle size which is dozens - 100nm of numbers.

[0042] On the other hand, the semi-conductor film using other crystallization means shows grain boundary distribution which is clearly different as for the melting crystallization film. Because, laser light (or strong light with reinforcement equivalent to it). Although a semi-conductor layer once fuses in \*\*\*\*\* crystallization, other means are solid phase growth fundamentally, and it is because crystallization devices differ.

[0043] Now, next, the element (typically Linn, arsenic, or antimony) chosen from 15 groups is added by ion-implantation (those with mass separation), or the ion doping method (with no mass separation). In this example, the Linn concentration in the range of 30-100nm (typically 30-50nm) depth from the front face of the crystalline silicon film 108 It adjusts so that it may become  $1 \times 10^{19}$  -  $1 \times 10^{21}$  atoms/cm<sup>3</sup> (typically  $1 \times 10^{20}$  atoms/cm<sup>3</sup>).

[0044] It is the field 109 including high-concentration Linn formed by carrying out in this way in this example n+ It is called a layer (or the 1st conductive layer). The thickness of this layer is determined in 30-100nm (typically 30-50nm). In this case, n+ A layer 109 functions as some of sources / drain electrodes later. At this example, it is n+ of 30nm thickness. A layer is formed.

[0045] Moreover, n+ It is n about the field 110 which includes Linn in the low concentration formed in the bottom of a layer 109. - It is called a layer (or the 2nd conductive layer). In this case, n - A layer 110 is n+. It becomes high resistance from a layer 109, and functions as a LDD field for electric-field relaxation later. At this example, it is n of 30nm thickness. - A layer is formed. ( Drawing 1 (C))

[0046] Moreover, the concentration profile of the depth direction at the time of adding Linn is very important at this time. This thing is explained using drawing 4 . In addition, the concentration profile shown in drawing 4 is an example at the time of adding phosphoretted hydrogen (PH<sub>3</sub>) by the ion doping method, having used 80keV(s) and RF power as 20W for acceleration voltage.

[0047] In drawing 4 , 401 shows the crystalline silicon film and the concentration

profile of Lynn where 402 was added. This concentration profile is determined by setups, such as RF power, an addition ion kind, and acceleration voltage.

[0048] this time -- the peak value of the concentration profile 402 --  $n^+$  It is the layer 403 interior or near the interface, the crystalline silicon film 401 is deeply alike, and the Lynn concentration falls, so that it goes (so that it faces to gate dielectric film). At this time, the Lynn concentration is  $n$  in order to cross throughout the interior of the film and to change continuously  $]^+$ . Under a layer 403, it is surely  $n$ . - A layer 404 is formed.

[0049] And this  $n$  - Also in the interior of a layer 404, the Lynn concentration falls continuously. The Lynn concentration in this example  $1 \times 10^{19}$  atoms/cm<sup>3</sup> It is the field which exceeds  $n^+$  They are an idea, and  $5 \times 10^{17} - 1 \times 10^{19}$  atoms/cm<sup>3</sup> as a layer 403. It is  $n$  about the field in a density range. - It thinks as a layer 404. However, since a clear boundary does not exist, it is extent considered as a standard.

[0050] Moreover, a lower layer becomes the field to which the Lynn concentration fell extremely, and its pan with the genuineness field ( $i$  layers) 405 genuineness or substantially. In addition, a genuineness field means the field where an impurity is not added intentionally. Moreover, the field or high impurity concentration which is below the spin density of the silicon film substantially a genuineness field  $1 \times 10^{14} - 1 \times 10^{17}$  atoms/cm<sup>3</sup> The field which shows 1 conductivity in the range is pointed out. [ high impurity concentration (here Lynn concentration) ]

[0051] A field [ genuineness / such genuineness or a real target ] is  $n$ . - It is formed in the bottom of a layer 404. However, 405 [  $i$ -layer ] consists of semiconductor layers of the same conductivity type as a channel formation field fundamentally. That is, when  $n$  mold or  $p$  mold with a weak channel formation field is shown, the same conductivity type is shown.

[0052] Thus,  $n^+$  It is  $n^+$  by using ion-implantation or the ion doping method for formation of a layer. It is  $n$  under a layer. - A layer can be formed. It is  $n^+$  like the former. Such a configuration cannot be realized when a layer is prepared by

membrane formation. Moreover, it is n+ by setting up the conditions at the time of ion addition appropriately. A layer and n - Thickness control of a layer can be performed easily.

[0053] Especially, it is n. - Since the thickness of a layer 110 turns into thickness of a LDD field behind, it needs very precise control. Since the concentration profile of the depth direction can control by the ion doping method to a precision by setup of addition conditions, thickness control of a LDD field can be performed easily. At the invention in this application, it is n. - What is necessary is just to adjust the thickness of a layer 110 in the range of 30 - 200 nm (typically 50 - 150 nm).

[0054] In this way, n+ A layer 109, n - If a layer 110 is formed, the impurity (Lynn) which irradiated laser light again and was added will be activated. ( Drawing 1 (D))

[0055] In addition, lamp annealing (exposure of strong light) and furnace annealing (heating at an electric heat furnace) can also be performed in addition to laser annealing. However, in the case of furnace annealing, it is necessary to process in consideration of the thermal resistance of a glass substrate.

[0056] In this example, laser annealing is performed using a XeCl excimer laser. Processing conditions are laser energy although it may be fundamentally the same as that of an above-mentioned crystallization process. It is good at 200 - 350 mJ/cm<sup>2</sup> (typically 250 - 300 mJ/cm<sup>2</sup>). Moreover, a substrate is heated at 300 degrees C from a rear-face side, and aims at improvement in the rate of activation.

[0057] Moreover, at this laser activation process, the damage which the crystalline silicon film 108 received in the addition process of Lynn is recoverable. And the field made amorphous by the ion collision at the time of addition can be recrystallized.

[0058] In this way, if the activation process of Lynn is completed, patterning of the crystalline silicon film will be performed and the island-shape semi-conductor layer 111 will be formed. At this time, when TFT is finally completed, it adjusts so

that perpendicular lay length (channel width (W)) may be set to 1-30 micrometers (typically 10-20 micrometers) to the migration direction of a carrier. The 2nd patterning process is performed here. ( Drawing 2 (A))

[0059] Although not illustrated on a drawing here, a part of exposed gate insulating layer is etched, and opening of the contact hole (field shown by 118 of drawing 2 (C)) for taking the electrical installation of a gate electrode (the 1st wiring) and the electrode (the 2nd wiring) formed in a degree is carried out. The 3rd patterning process is performed here.

[0060] Next, the metal membrane (not shown) which has conductivity is formed and the source electrode 112 and the drain electrode 113 are formed by patterning. In this example, the cascade screen which consists of a three-tiered structure of Ti (50nm) / aluminum (200 - 300 nm) / Ti (50nm) is used. Moreover, wiring for connecting with a gate electrode electrically as mentioned above is also formed in coincidence. The 4th patterning process is performed here.

( Drawing 2 (B))

[0061] Moreover, although mentioned later, the die length (shown by C1) of the field (it is hereafter called a channel dirty field) 114 across which it faced with the field 112, i.e., the source electrode, and the drain electrode 113 right above the gate electrode 103 determines the die length of a channel formation field and an offset field later. C1 Although it can choose out of the range of 2-20 micrometers (typically 5-10 micrometers), it is referred to as  $1 = 4$  micrometers of C in this example.

[0062] Next, dry etching is performed by using the source electrode 112 and the drain electrode 113 as a mask, and the island-shape semi-conductor layer 111 is etched in self align. Therefore, etching advances only in the channel dirty field 114. ( Drawing 2 (C))

[0063] At this time, it is n+. A layer 109 is etched completely and stops etching in the form where only the genuineness field (i layers) was left behind genuineness or substantially. Finally in the invention in this application, it leaves only the semi-conductor layer of 10 - 100 nm (typically 10-75nm, preferably 15-45nm). In this

example, it will leave the semi-conductor layer of 30nm thickness.

[0064] In this way, if etching (channel dirty process) of the island-shape semi-conductor layer 111 is completed, the oxidation silicon film and a silicon nitride film will be formed as a protective coat 115, and the reverse stagger mold TFT of structure as shown in drawing 2 (C) will be obtained.

[0065] In this condition, the field in which it is located right above the gate electrode 112 among the island-shape semi-conductor layers 111 by which channel dirty was carried out turns into the channel formation field 116. With the configuration of this example, gate electrode width of face is equivalent to the die length of a channel formation field, and it is L1. The die length shown is called channel length. Moreover, the electric field from the gate electrode 103 do not reach, but the field 117 located outside the edge of the gate electrode 113 turns into an offset field. This die length is X1. It is shown.

[0066] In the case of this example, it is abbreviation when the line breadth (it is equivalent to L1) of the gate electrode 103 takes into consideration the decrease for an anodized film of 100 nm thickness. Since it is 2.8 micrometers and the die length (C1) of the channel dirty field 114 is 4 micrometers, the die length (X1) of an offset field is abbreviation. It is set to 0.6 micrometers.

[0067] Here, what expanded the drain field (semi-conductor layer which touches the drain electrode 113) is shown in drawing 3 . Setting to drawing 3 , for a gate electrode and 301, a channel formation field and 302 are [ 103 ] n+. A layer (the source or drain electrode), the offset field where, as for 303 and 304, thickness differs, and 305 are n. - It is a layer (LDD field).

[0068] In addition, although not explained here, it has structure with the same said of a source field (semi-conductor layer which touches the source electrode 112).

[0069] Moreover, although the structure shown in drawing 3 is described typically, cautions are required for the thickness relation of each field. It is in charge of constituting the invention in this application, and, for the most desirable configuration, the thickness of thickness is n+. Layer 302<n - It is the case where

it has the relation of the layer 305 < offset field (i layers) 304.

[0070] Because, n+ Since a layer 302 only functions as an electrode, it comes out thinly and is enough. On the other hand, it is n. - In order to perform electric-field relaxation effectively, suitable thickness is required for a layer 305 and the offset field 304.

[0071] By the configuration of this example, it is n+ from the channel formation field 301. Two offset fields 303 and 304 and the LDD field 305 where thickness will differ by the time it reaches a field 302 exist. In addition, 303 is the offset field of the direction of a film surface formed of mask alignment, and calls it a mask offset field.

[0072] Moreover, 304 is the offset field of the direction of thickness equivalent to a part for the thickness of i layers, and calls it a thickness offset field. What is necessary is just to determine the thickness of the thickness offset field 304 in the range of 100 - 300 nm (typically 150-200nm). however, the thickness of a channel formation field -- thickness -- \*\* -- it is necessary to thicken If thickness is thinner than a channel formation field, the good offset effectiveness cannot be desired.

[0073] As for HRD (High Resistance Drain) structure, and a call and the usual LDD structure, this invention persons distinguish and consider the structure which consists of such offset +LDD. In the case of this example, HRD structure will consist of three-step structures of mask offset + thickness offset +LDD.

[0074] Since the LDD field 303 is controlled by the thickness and high impurity concentration of a LDD field at this time, repeatability is very high and it has the advantage that property variation is small. In the LDD field formed of patterning, it is as the conventional example having described that the property variation by the patterning error poses a problem.

[0075] In addition, since the die length (X1) of the mask offset field 303 is controlled by patterning, it is influenced of the error by patterning, the contraction of glass, etc. However, since the thickness offset field 304 and the LDD field 305 exist after that, it is eased and the effect by the error can make property variation

small.

[0076] In addition, the die length (X1) of mask offset is expressed with  $/(C1-L1)^2$  using the die length (C1) of channel length (L1) and a channel dirty field.

Therefore, it is possible to set up desired offset length (X1) according to the patterning process at the time of the source / drain electrode formation. By the configuration of this example, it is offset length (X1). It is 0.3-3 micrometers (typically 1-2 micrometers).

[0077] In addition, the reverse stagger mold TFT of structure as shown in drawing 2 (C) is unrealizable in TFT which used the conventional amorphous silicon film as a barrier layer (island-shape semi-conductor layer). It is because the mobility of a carrier (an electron or electron hole) will become very late if it is not made structure which the source / drain electrode, and a gate electrode overlap when using the amorphous silicon film.

[0078] Even if it made it structure which the source / drain electrode, and a gate electrode overlap, the mobility (electric field effect mobility) of TFT using the amorphous silicon film is at most 1-10cm<sup>2</sup>/Vs extent. If structure like this example is adopted to it, mobility is too low and does not function as a switching element.

[0079] However, in the invention in this application, since the crystalline silicon film is used as a barrier layer, carrier mobility is fully quick. Therefore, it is possible to acquire mobility sufficient also as structure like this example. That is, the structure of this example is realizable just because it used the semi-conductor film which has the crystal structure as a semi-conductor layer.

[0080] Moreover, since the reverse stagger mold TFT of this example has HRD structure, to degradation phenomena, such as hot carrier impregnation by the ionization by collision, it is very strong and has high dependability. And the top where the effectiveness of a LDD field is dominant, since the LDD field is formed with the very sufficient controllability, property variation is very small.

[0081] Therefore, structure like this example needs high pressure-proofing, and the high working speed is suitable for TFT which constitutes a circuit which is not

needed so much.

[0082] Moreover, only four masks are needed for obtaining the reverse stagger mold TFT of the structure shown in drawing 2 (C) like shown in the making process of this example. Considering that the conventional channel stop mold TFT needed the six-sheet mask, this means that a throughput and the yield improve by leaps and bounds.

[0083] As mentioned above, according to the configuration of this example, it is possible to produce the bottom gate mold TFT which has high dependability and repeatability with the high making process of mass-production nature.

[0084] In addition, as for 10-150cm<sup>2</sup>/Vs (typically 60-120cm<sup>2</sup>/Vs) and a threshold electrical potential difference, the mobility of the bottom gate mold TFT (N channel mold TFT) produced according to the making process of this example can realize 1-4V.

[0085] [Example 2] This example shows a different example of a configuration in an example 1 in the configuration of the invention in this application. Since the making process of TFT should just follow an example 1 fundamentally, only a required part will be explained in this example.

[0086] First, the condition of drawing 5 (A) is acquired according to the making process of an example 1. A point different here from an example 1 is the die length of the channel dirty field 500, in case the source electrode 501 and the drain electrode 502 are formed C2 It is in the point to carry out. At this time, it is C2. It is narrower than gate electrode width of face, and is chosen in 2-9 micrometers (typically 2-4 micrometers). That is, it becomes the description of this example to prepare so that a gate electrode, and the source / drain electrode may overlap.

[0087] If a channel dirty process is performed to the appearance shown in the example 1 in this condition and a protective coat is prepared, the condition of drawing 5 (B) will be acquired. At this time, the field shown by 503 turns into a channel formation field, and that channel length is expressed with L2 (= C2). Moreover, the die length (Y2) of the field (it is called a mask overlap field) 504



made to overlap by mask design is expressed with  $(E-L2) / 2$  when gate electrode width of face is set to E.

[0088] Although it is the enlarged drawing of a drain field, the carrier at the time of TFT actuation passes along the channel formation field 503 (50nm in thickness), the mask overlap field 504 (thickness 160 nm), and the LDD field 505 (50nm in thickness), and drawing 5 (C) is n+. It reaches to a layer 506 (40nm in thickness), and the drain electrode 502.

[0089] In addition, although the electric field from a gate electrode are formed also in the mask overlap field 504 in this case, since electric field become weaker as the LDD field 505 is approached, such a field has the same function as a LDD field substantially. Of course, if the LDD field 505 is approached further, electric field are no longer formed completely and it may function also as an offset (thickness offset) field.

[0090] Thus, HRD structure is constituted from LDD by the substantial LDD+ thickness offset + low concentration impurity by overlap by the structure of this example. Moreover, when the thickness of the overlap field 504 is thin, the LDD structure which consists only of LDD by the substantial LDD+ low concentration impurity by overlap can also be taken.

[0091] Also in the configuration of this example, since the overlap field 504 and the LDD field 505 are controlled by each thickness, property variation is very small. Moreover, for the die length (Y2) of an overlap field, since it is not influenced of such an error, LDD by offset and low concentration impurity of LDD by overlap although the error by patterning etc. is included, and the thickness direction is Y2. The property variation by the error is eased.

[0092] In addition, structure like this example has few offset components, and is suitable for TFT which constitutes a circuit which needs a high working speed.

[0093] Moreover, with the structure of this example, since the minority carrier accumulated into the channel formation field by the ionization by collision is drawn out promptly to a source electrode, it has an advantage of a pile for the substrate suspension effectiveness in a lifting. Therefore, it is possible to realize

TFT with a very high proof-pressure property to the top where a working speed is quick.

[0094] [Example 3] This example shows a different example of a configuration in examples 1 and 2 in the configuration of the invention in this application. Since the making process of TFT should just follow an example 1 fundamentally, only a required part will be explained in this example.

[0095] First, the condition of drawing 6 (A) is acquired according to the making process of an example 1. A point different here from an example 1 is the die length of the channel dirty field 600, in case the source electrode 601 and the drain electrode 602 are formed C3 It is in the point to carry out. At this time, it is C3. It is set to 1-10 micrometers (typically 3-5 micrometers) in order to make it in agreement with gate electrode width of face.

[0096] If a channel dirty process is performed to the appearance shown in the example 1 in this condition and a protective coat is prepared, the condition of drawing 6 (B) will be acquired. At this time, the field shown by 603 turns into a channel formation field, and that channel length is expressed with L3 (= C3).

[0097] Although it is the enlarged drawing of a drain field, the carrier at the time of TFT actuation passes along the channel formation field 603 (thickness 100 nm), the thickness offset field 604 (thickness 150 nm), and the LDD field 605 (thickness 100 nm), and drawing 6 (C) is n+. It reaches to a layer 606 (50nm in thickness), and the drain electrode 602. That is, HRD structure is constituted from the two-step structure of thickness offset +LDD by the structure of this example.

[0098] Also in the configuration of this example, since the thickness offset field 604 and the LDD field 605 are controlled by each thickness, property variation is very small. Moreover, it is possible to acquire sufficient proof-pressure property.

[0099] [Example 4] This example shows a different example of a configuration in examples 1-3 in the configuration of the invention in this application. Since the making process of TFT should just follow an example 1 fundamentally, only a required part will be explained in this example.

[0100] First, the condition of drawing 7 (A) is acquired according to the making process of an example 1. In case a point different here from an example 1 forms the source electrode 701 and the drain electrode 702, a gate electrode is made to overlap either a source electrode or a drain electrode at it, and another side is in the point considered as the configuration which is not made to overlap.

[0101] In addition, at this example, it is the die length of the channel dirty field 700 C4 It carries out. At this time, it is C4. It is chosen in 1-10 micrometers (typically 3-6 micrometers).

[0102] If a channel dirty process is performed to the appearance shown in the example 1 in this condition and a protective coat is prepared, the condition of drawing 7 (B) will be acquired. At this time, the field shown by 703 turns into a channel formation field, and that channel length is expressed with  $L4 (=C4 \cdot X4)$ .

[0103] Here, it is X4. It is the die length of the mask offset field 704. X4 What is necessary is just to refer to an example 1 about the \*\*\*\*\* range. Moreover, the numerical range of the die length of the mask overlap field 705 should just refer to an example 2.

[0104] This example is the configuration which combined the HRD structure (or LDD structure) explained in the HRD structure explained in the example 1, and the example 2. Since the example 1 and the example 2 already explained structural explanation, explanation here is omitted.

[0105] When adopting structure like this example, it is desirable to use especially for a source field the HRD structure explained in the example 1 to the drain field using the HRD structure (or LDD structure) shown in the example 2.

[0106] For example, at especially the channel edge by the side of a drain field (joint), electric-field concentration is intense and HRD structure with many resistance components as shown in the example 1 is desirable. On the contrary, since the cure against a high proof pressure to there is unnecessary in a source side, HRD (or LDD) structure with few resistance components as shown in the example 2 is suitable.

[0107] In addition, in this example, it is also possible to combine the configuration

of an example 2 with either a source side / drain field side. Thus, what is necessary is for an operation person to choose suitably the HRD structure or LDD structure shown in examples 1-3, to adopt it as the source / drain field, and just to design the optimal structure in view of a circuit design. In this case,  $32 = 9$  kinds of combination patterns are possible.

[0108] [Example 5] The example in the case of constituting a CMOS circuit (inverter circuit) from this example using the bottom gate mold TFT of a configuration of having been shown in examples 1-4 is explained using drawing 8. In addition, a CMOS circuit is constituted, combining the N channel mold TFT and the P channel mold TFT which were formed on the same substrate complementary.

[0109] Drawing 8 is a CMOS circuit using the configuration shown in the example 4, and 801 is the source electrode of the P channel mold TFT, and a drain electrode with 802 [ common / the source electrode of the N channel mold TFT, and 803 / to N/P ].

[0110] Moreover, the N channel mold TFT is n+ by the making process explained in the example 1. Layers 804 and 805n - Layers 806 and 807 are formed. On the other hand, in the direction of the P channel mold TFT, they are the p++ layers 808 and 809p. - Layers 810 and 811 are formed.

[0111] In addition, it is very easy to produce a CMOS circuit on the same substrate. In the case of the invention in this application, according to the process of an example 1, the condition of drawing 2 (A) is acquired first.

[0112] this condition -- N type/P type -- what is necessary is just to add the element (typically boron, an indium, or a gallium) which hid the field used as the N channel mold TFT with the resist mask etc., and was chosen from 13 groups, in producing the P channel mold TFT although the element chosen from 15 groups not related is added by the whole surface

[0113] Although boron is taken for an example in this example, at this time, it must add more than the concentration of Lynn and boron must reverse conductivity. Moreover, n+ A layer and n - They are completely a p++ layer and p

about all layers. - In order to reverse a layer, it is important to adjust the concentration profile at the time of boron addition, and to add more deeply than the addition depth of Lynn.

[0114] Therefore, the concentration profile in the film of boron becomes like drawing 9 . Setting to drawing 9 , for the concentration profile of the boron after boron addition, and 903, a p++ layer and 904 are [ 900 / a semi-conductor layer and 901 / the concentration profile of Lynn before boron addition, and 902 ] p. - A layer and 905 are i layers.

[0115] At this time, it is referred to as 10 - 150 nm (typically 50 - 100 nm), and the thickness of the p++ layer 903 is P. - Thickness of a layer 904 is set to 30 - 300 nm (typically 100 - 200 nm). However, originally, since it is strong to degradation, the P channel mold TFT is p. - There is not necessarily no need of using a layer as a LDD field. It is p specially. - As long as addition means, such as ion-implantation, were used, reference was made about the thickness of a layer 904 because p-layer was surely formed of the concentration gradient which changes continuously.

[0116] By the way, in this example, both have prepared the HRD structure (type using mask offset) of a configuration of having been shown in the example 1 in the drain field side using the HRD structure of a configuration of having been shown in the example 2 at the source field side of the N channel mold TFT and the P channel mold TFT (type using an overlap field).

[0117] Therefore, it has the overlap field which has the die length of  $Y_i$  in the source field side of the P channel mold TFT so that clearly [ in a plan ], and in the drain field side, it has the mask offset field with the die length of  $X_i$ . Moreover, in the source field side of the N channel mold TFT, it is  $Y_j$ . It has an overlap field with die length, and is  $X_j$  in a drain field side. It has the mask offset field with die length.

[0118] At this time, they are  $X_i$ ,  $X_j$ , and  $Y_i$  and  $Y_j$ . Die length can be freely adjusted by mask design, respectively. Therefore, it is not necessary to arrange each die length with an N channel mold and a P channel mold that what is

necessary is just to determine suitably if needed for circuitry.

[0119] Moreover, since the proof-pressure property of the field which serves as a common drain of a CMOS circuit with such structure can be made high, when it constitutes the circuit where operating voltage is high, it is a very effective configuration.

[0120] In addition, although the configuration of the CMOS circuit using TFT of a configuration of having been shown in examples 1-4 was shown in drawing 8, it cannot be overemphasized that all combination other than this is also possible. As a possible configuration pattern, since there are nine kinds about one TFT, there are  $92 = 81$  kinds by the CMOS circuit. The circuit should just adopt the optimal combination according to the engine performance which carries out the need out of two or more of such combination.

[0121] Moreover, the invention in this application is easily applicable also to the P channel mold TFT at the appearance shown in this example. In that case, as for 10-100cm<sup>2</sup>/Vs (typically 50-100cm<sup>2</sup>/Vs) and a threshold electrical potential difference, the mobility of the bottom gate mold TFT (P channel mold TFT) of the invention in this application can realize -1.5--5V.

[0122] [Example 6] This example explains the example at the time of devising for controlling a threshold electrical potential difference to TFT of the invention in this application.

[0123] In order to control a threshold electrical potential difference, the technique which adds the element chosen from 13 groups (typically boron, an indium, a gallium) or 15 groups (typically Lynn, arsenic, antimony) to a channel formation field is called the channel dope.

[0124] It is effective, and performing a channel dope to the invention in this application has two kinds of simple approaches shown below, and it is good.

[0125] First, when forming the amorphous silicon film, the gas (for example, diboron hexahydride, phosphoretted hydrogen, etc.) containing the impurity for controlling a threshold electrical potential difference in membrane formation gas is made intermingled, and there is a method which makes membrane formation

and coincidence contain the specified quantity. In this case, although it is not necessary to increase a routing counter at all, since this concentration is added to both TFT(s) of N type and P type, it cannot respond to demand of changing concentration in both.

[0126] Next, after the channel dirty process (formation process of a channel formation field) that it explained by drawing 2 (C) is completed, there is a method which performs impurity addition alternatively to a channel formation field (or a channel formation field and a mask offset field) by using the source / drain electrode as a mask.

[0127] Although the addition approach can use various approaches, such as ion-implantation, the ion doping method, a plasma treatment method, a gaseous-phase method (diffusion from an ambient atmosphere), and a solid phase technique (diffusion out of the film), since the channel formation field is thin, its method of not giving a damage like a gaseous-phase method or a solid phase technique is desirable.

[0128] In addition, when using ion-implantation etc., if the whole TFT is performed after preparing a wrap protective coat, the damage of a channel formation field can be reduced.

[0129] Moreover, after adding an impurity, the activation process of an impurity is performed combining laser annealing, lamp annealing, furnace annealing, or them. At this time, most damages which the channel formation field received are recovered.

[0130] When carrying out this example, it is in a channel formation field. What is necessary is just to add the impurity for controlling a threshold electrical potential difference by concentration of  $1 \times 10^{15}$  -  $5 \times 10^{18}$  atoms/cm<sup>3</sup> (typically  $1 \times 10^{15}$  -  $5 \times 10^{17}$  atoms/cm<sup>3</sup>).

[0131] And when this example is carried out to TFT of the invention in this application, it is the threshold electrical potential difference of the N channel mold TFT. It can store in the range of 1.5-3.5V. Moreover, when it applies to the P channel mold TFT, it is possible to store a threshold electrical potential difference

in the range of -1.5--3.5V.

[0132] In addition, any combination with the configuration of examples 1-5 is possible for the configuration of this example. Moreover, when applying to the CMOS circuit of an example 5, addition concentration and the class of impurity to add shall be differed with N type TFT and P type TFT.

[0133] [Example 7] With the structure shown in drawing 2 (C), as an island-shape semi-conductor layer is surrounded completely, the source electrode 112 and the drain electrode 113 are formed. This example explains a configuration different from this.

[0134] Although the structure shown in drawing 10 (A) resembles drawing 2 (C) fundamentally, the description is in the point that the configurations of the source electrode 11 and the drain electrode 12 differ. That is, the source electrode 11 and the drain electrode 12 are formed inside only for the distance shown by a in a part rather than an island-shape semi-conductor layer (strictly the source / drain field).

[0135] Moreover, the field shown by 13 is a field which has the same thickness as the channel formation field 14, and has the width of face of distance a. Although typically expressed on the drawing, distance a is 1-300. It is mum (typically 10-200 mum).

[0136] It refers to a making process here and the description of this example is explained. In this example, as shown in drawing 10 (B), the source electrode 11 and the drain electrode 12 are formed. 15 is an island-shape semi-conductor layer, and an edge 16 exposes it here.

[0137] If a channel dirty process is performed in this condition, the source electrode 11 and the drain electrode 12 will serve as a mask, and the island-shape semi-conductor layer 15 will be etched in self align. In this case, an edge 16 is also etched into coincidence.

[0138] Thus, structure like drawing 10 (A) is acquired. Therefore, the edge 16 of have [ the same thickness as the channel formation field 14 ] is clear.

[0139] The reason for forming the lobe 13 of this island-shape semi-conductor



layer has following two.

(1) Use as an etching monitor in a channel dirty process.

(2) In case a protective coat and an interlayer insulation film are formed at a back process, reduce the poor coverage by the level difference of an island-shape semi-conductor layer.

[0140] It uses, when inspecting whether the channel formation field serves as suitable thickness by the sampling inspection in a manufacture process as an etching monitor.

[0141] In addition, the configuration of this example can be combined with any configuration of examples 1-6.

[0142] [Example 8] This example explains the example of the circuitry of a CMOS circuit (inverter circuit) shown in the example 5 using drawing 11 .

[0143] It is the CMOS circuit of the same structure as what was shown in drawing 8 which is shown in drawing 11 (A). In this case, circuitry consists of the gate electrode 20 which consists of chromium film, the semi-conductor layer 21 of N type TFT, the semi-conductor layer 22 of P type TFT, a source electrode 23 of N type TFT, a source electrode 24 of P type TFT, and a common drain electrode 25.

[0144] In addition, each terminal areas a, b, c, and d support the terminal areas a, b, c, and d of the inverter circuit shown in drawing 11 (C), respectively.

[0145] Next, it is the example at the time of communalizing the semi-conductor layer which serves as a drain field with N type TFT and P type TFT which is shown in drawing 11 (B). Each sign supports the sign explained by drawing 11 (A).

[0146] Since TFT(s) can be formed by the very high consistency in the structure of drawing 11 (B), it is very effective when integrating a circuit highly. Although the communalized semi-conductor layer forms a PN junction, it does not pose a problem.

[0147] [Example 9] Although laser light is used in the crystallization process of the amorphous semiconductor film in the making process explained in the example 1, it is also possible to crystallize using strong light with reinforcement

equivalent to laser light. Since it recrystallizes once it fuses a semi-conductor layer also in this case, grain boundary distribution peculiar to the melting crystallization film is shown.

[0148] As such a strong light, the strong light emitted from an infrared lamp or an ultraviolet ray lamp can be used. By the heat-treatment for several seconds to dozens of seconds, since it can crystallize, the RTA (Rapid Thermal Anneal) technique using an infrared lamp can be sharply improved in a throughput.

[0149] In addition, the configuration of this example can also be used in the activation process of an impurity. Moreover, it is also effective to plan the synergistic effect combining the lamp annealing technique and laser light exposure which were shown in this example. Moreover, the configuration of this example can be combined with the configuration of all other examples.

[0150]

[Effect of the Invention] The high semiconductor device of mass-production nature is producible with the very small number of masks (typically four sheets) carrying out the invention in this application.

[0151] Moreover, since the small electric-field relaxation layers (a LDD field, a mask offset field, thickness offset field, etc.) of property variation can be formed in a channel formation field, and the source / drain inter-electrode, dependability is able to realize a high semiconductor device with high repeatability.

---

[Translation done.]

\* NOTICES \*

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] Drawing showing the making process of a thin film transistor.

[Drawing 2] Drawing showing the making process of a thin film transistor.

[Drawing 3] The enlarged drawing showing the configuration of a thin film transistor.

[Drawing 4] Drawing showing the concentration profile in the film.

[Drawing 5] Drawing showing the configuration of a thin film transistor.

[Drawing 6] Drawing showing the configuration of a thin film transistor.

[Drawing 7] Drawing showing the configuration of a thin film transistor.

[Drawing 8] Drawing showing the configuration of a CMOS circuit.

[Drawing 9] Drawing showing the concentration profile in the film.

[Drawing 10] Drawing showing the configuration of a thin film transistor.

[Drawing 11] Drawing showing the configuration of a CMOS circuit.

### [Description of Notations]

101 Substrate

102 Substrate Film

103 Gate Electrode

104 Oxide Film on Anode

105 Silicon Nitride Film

106 Oxidation Silicon Nitride Film

107 Amorphous Semiconductor Film

108 Crystalline Semi-conductor Film

109 N+ Layer (1st Conductive Layer)

110 N - Layer (2nd Conductive Layer)

111 Island-shape Semi-conductor Layer

112 Source Electrode

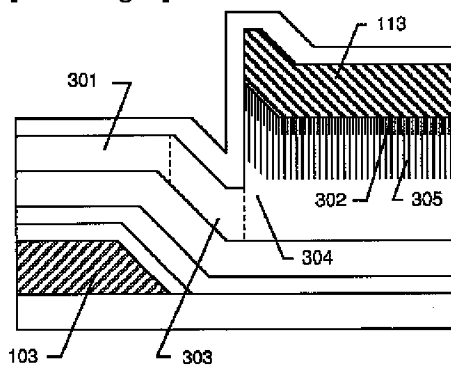
113 Drain Electrode

## 118 Contact Hole

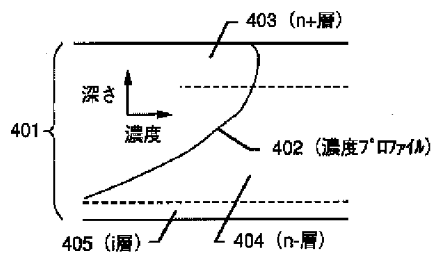
\* NOTICES \*

3. In the drawings, any words are not translated.

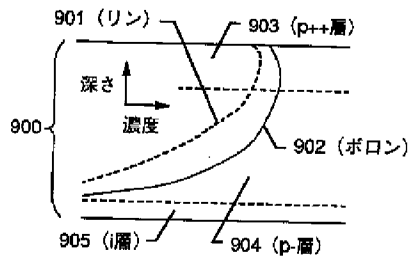
[Drawing 3]



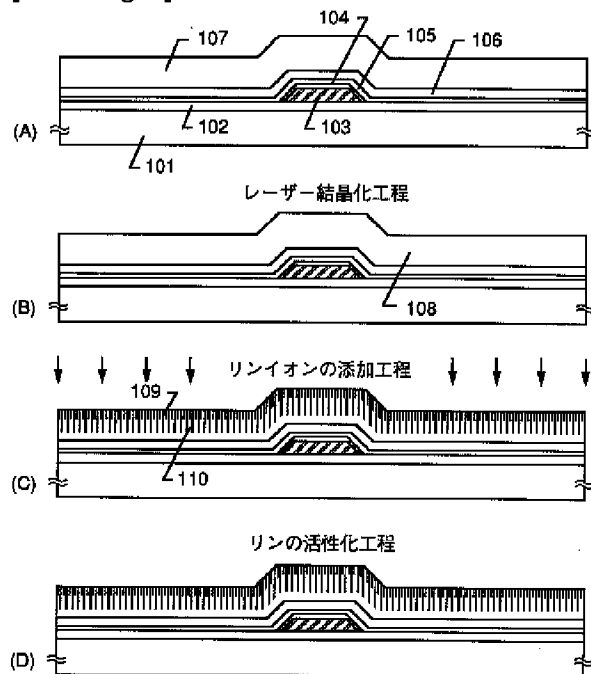
[Drawing 4]



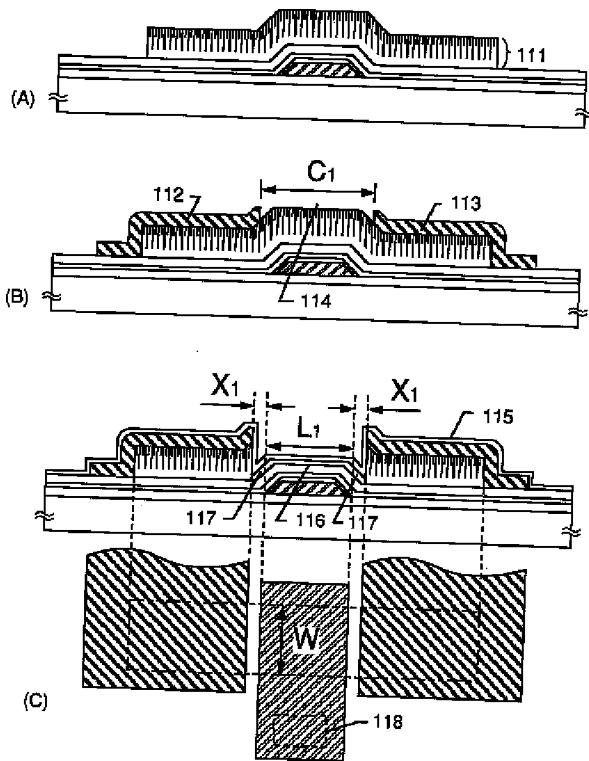
[Drawing 9]



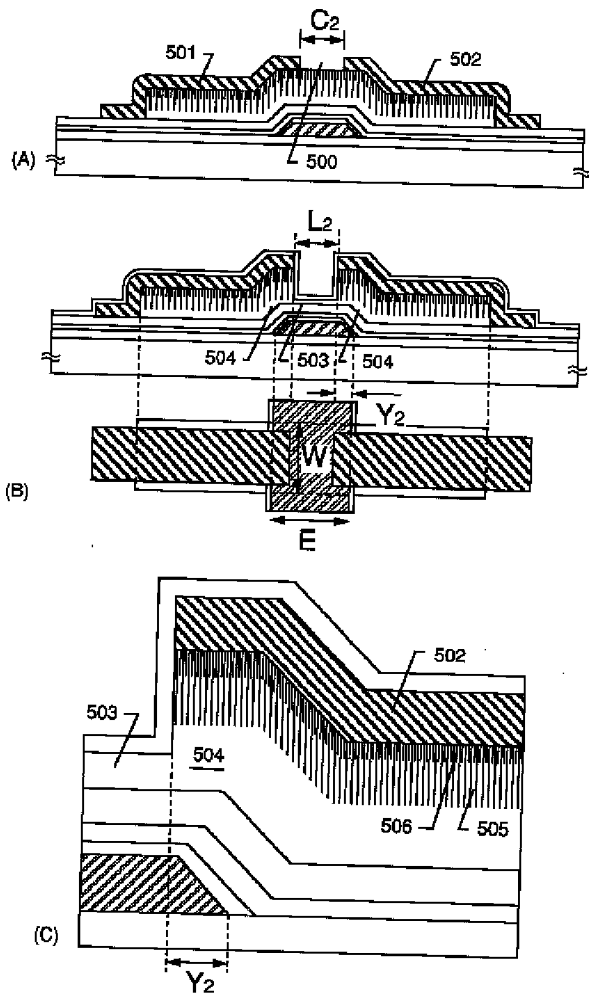
[Drawing 1]



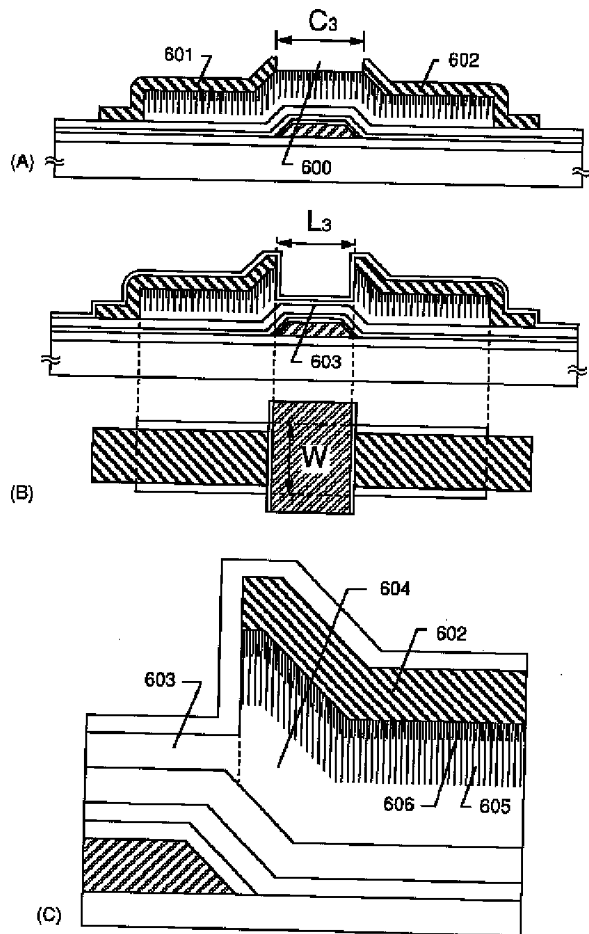
[Drawing 2]



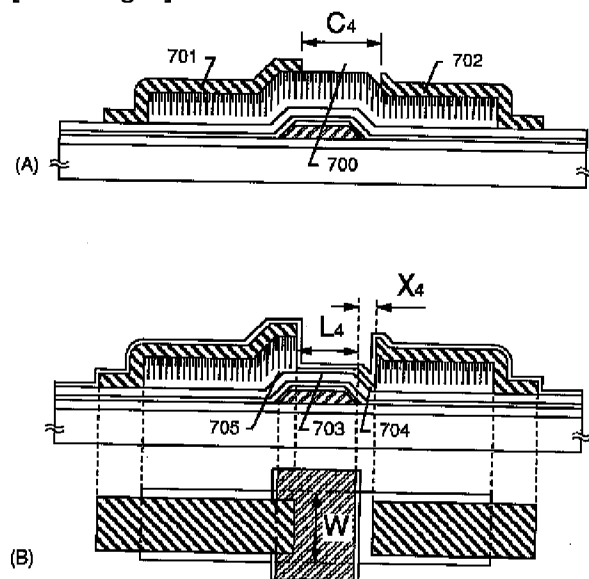
[Drawing 5]



[Drawing 6]

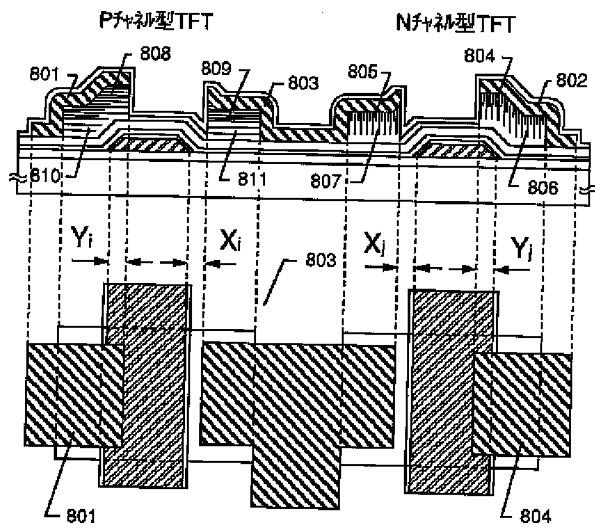


[Drawing 7]

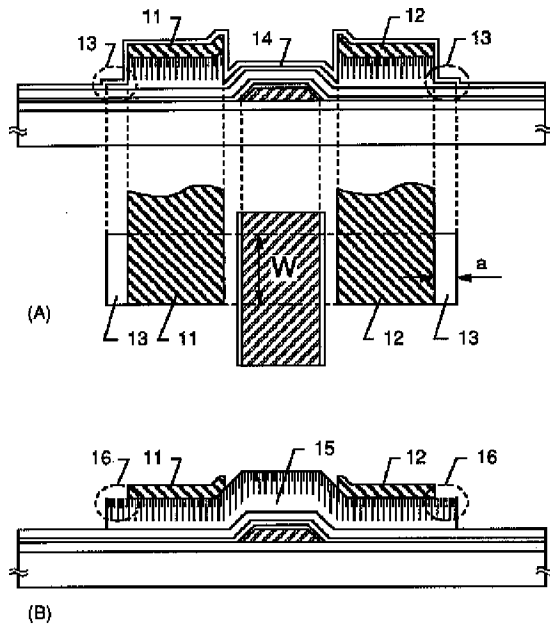


[Drawing 8]

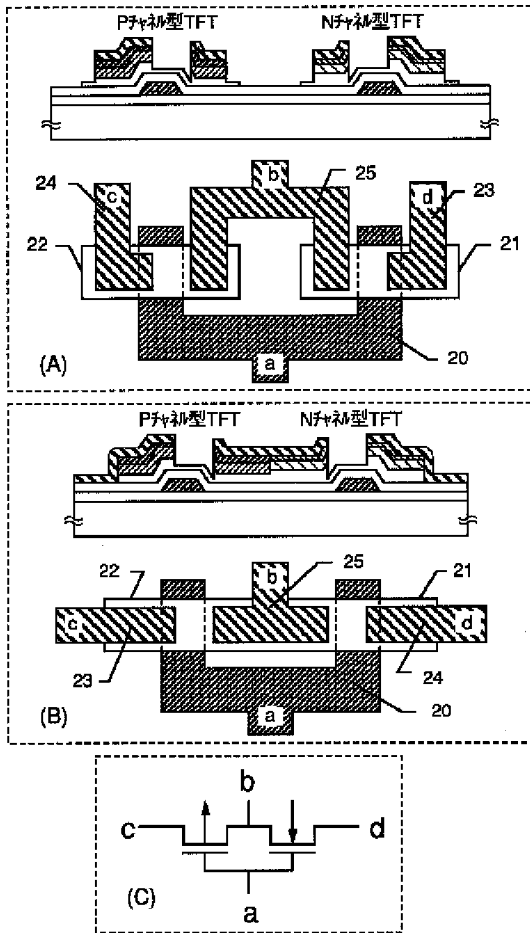




[Drawing 10]



[Drawing 11]



[Translation done.]